



JZ8PE1502H

8 位 OTP 微控制器

用户数据手册

版本号 V1.1



修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	
V1.1	修改内容格式	

声明:

- 本资料内容，随产品的改进，会进行相应更新，恕不另行通知。使用本资料前请咨询我司销售人员，以保证本资料内容为最新版本。
- 请在本资料所记载的极限范围内使用本产品，因使用不当造成的损失，我司不承担其责任。
- 尽管本公司一向致力于提高产品质量与可靠性，但是半导体产品本身有一定的概率发生故障或错误工作，为防止因此类事故而造成的人身伤害或财产损失，请在使用过程中充分留心安全设计。
- 将本产品或者本资料出口海外时，应当遵守适用的进出口管制法律法规。
- 未经本公司许可，严禁以任何形式复制或转载本资料的部分或全部内容。
- 本资料测试数据仅供参考，实际数据以目标样机测试为准。



目录

1 芯片简介	6
1.1 功能特性	6
1.2 引脚分配	7
1.3 引脚说明	8
2 存储器结构	9
2.1 程序存储器区	9
2.2 数据存储器区	9
2.2.1 RPAGE\IOPAGE\Bank 数据寄存器区	9
3 功能模块	11
3.1 操作寄存器	11
3.1.1 RPAGE~R0-IAR(间接地址存储器)	11
3.1.2 RPAGE~R1-TCC(TCC 定时计数器)	11
3.1.3 RPAGE~R2-PCL(PC 程序计数器)	11
3.1.4 RPAGE~R3-STATUS(STATUS 状态寄存器)	11
3.1.5 RPAGE~R4-RSR(FSR RAM 选择寄存器)	12
3.1.6 RPAGE~R5-PORT5(PORT5 数据寄存器)	12
3.1.7 RPAGE~R6-PORT6(PORT6 数据寄存器)	12
3.1.8 RPAGE~R7-LVDCON(LVD 控制寄存器)	12
3.1.9 RPAGE~R8-PWMCON(PWM 控制寄存器)	13
3.1.10 RPAGE~R9-PRD(PWM 周期寄存器)	14
3.1.11 RPAGE~RA-PDC1(PWM1 占空比寄存器)	14
3.1.12 RPAGE~RB-PDC2(PWM2 占空比寄存器)	14
3.1.13 RPAGE~RC-PDC3(PWM3 占空比寄存器)	14
3.1.14 RPAGE~RD-ICIECR(P6 端口中断唤醒使能寄存器)	14
3.1.15 RPAGE~RE-CPUCON(CPU 模式控制寄存器)	14
3.1.16 RPAGE~RF-ISR(中断标志寄存器)	15
3.2 控制寄存器	16
3.2.1 CONT(控制寄存器)	16
3.2.2 IOPAGE~IOC5-P5CR(P5 方向控制寄存器)	16
3.2.3 IOPAGE~IOC6-P6CR(P6 方向控制寄存器)	17
3.2.4 IOPAGE~IOC9-PHDCR(端口上下拉控制寄存器)	17
3.2.5 IOPAGE~IOCB-PDCR(端口下拉控制寄存器)	17
3.2.6 IOPAGE~IOCD-PHCR(P6 端口上拉控制寄存器)	17
3.2.7 IOPAGE~IOCE-WDTCR(看门狗控制寄存器)	17
3.2.8 IOPAGE~IOCF-IMR(中断使能控制寄存器)	18
3.3 GPIO 功能模块	19
以上参数仅做参考，请以目标样机实测数据为准。	19
3.3.1 GPIO 寄存器说明	19
RPAGE~R5-PORT5(PORT5 数据寄存器)	19
RPAGE~R6-PORT6(PORT6 数据寄存器)	19
IOPAGE~IOC5-P5CR(P5 方向控制寄存器)	19
IOPAGE~IOC6-P6CR(P6 方向控制寄存器)	19
IOPAGE~IOC9-PHDCR(端口上下拉控制寄存器)	19



IOPAGE~IOCB-PDCR(端口下拉控制寄存器)	20
IOPAGE~IOCD-PHCR(P6 端口上拉控制寄存器)	20
3.4 TCC 定时器功能模块	21
3.4.1 TCC 定时器寄存器说明	21
CONT(控制寄存器)	21
RPAGE~R1-TCC(TCC 定时计数器)	22
RPAGE~RE-COUCON(CPU 模式控制寄存器)	22
RPAGE~RF-ISR(中断标志寄存器)	22
IOPAGF~IOCF-IMR(WDT 唤醒及中断使能控制寄存器)	22
3.4.2 TCC 定时设置说明	23
3.5 WDT 看门狗功能模块	24
3.5.1 WDT 看门狗寄存器说明	24
IOPAGE~IOCE-WDTCR(WDT 控制寄存器)	24
3.5.2 WDT 看门狗设置说明	24
3.5.3 WDT 看门狗定时时间	24
3.6 睡眠唤醒功能模块	25
3.6.1 睡眠唤醒方式说明	25
3.6.2 相关寄存器说明	25
CONT(控制寄存器)	25
RPAGE~RD-ICIECR(P6 端口中断唤醒使能寄存器)	25
RPAGE~RE-CPUCON(CPU 模式控制寄存器)	25
RPAGE~RF-ISR(中断标志寄存器)	26
IOPAGF~IOCF-IMR(WDT 唤醒及中断使能控制寄存器)	26
3.6.3 端口状态改变查询方式唤醒设置	26
3.6.4 端口状态改变中断方式唤醒设置	27
3.7 LVD 电压检测功能模块	28
3.7.1 LVD 电压检测寄存器说明	28
RPAGE~R7-LVDCON(LVD 控制寄存器)	28
3.7.2 LVD 电压检测查询方式设置说明	29
3.8 PWM 脉宽调制功能模块	30
3.8.1 PWM 脉宽调制寄存器说明	30
RPAGE~R8-PWMCON(PWM 控制寄存器)	30
RPAGE~R9-PRD(PWM 周期寄存器)	30
RPAGE~RA-PDC1(PWM1 占空比寄存器)	30
RPAGE~RB-PDC2(PWM2 占空比寄存器)	30
RPAGE~RC-PDC3(PWM3 占空比寄存器)	31
RPAGE~RE-CPUCON(CPU 模式控制寄存器)	31
RPAGE~RF-ISR(中断标志寄存器)	31
IOPAGF~IOCF-IMR(WDT 唤醒及中断使能控制寄存器)	31
3.8.2 PWM 脉宽调制设置说明	31
3.8.3 PWM 计算说明	32
3.9 中断功能模块	33
3.9.1 中断寄存器说明	33
RPAGE~RF-ISR(中断标志寄存器)	33
IOPAGF~IOCF-IMR(中断使能控制寄存器)	33



3.10 复位功能模块	34
3.10.1 复位功能概述	34
3.10.2 上电复位	34
3.10.3 看门狗复位	35
3.10.4 掉电复位	35
3.10.5 工作频率与 LVR 低压检测关系	36
3.10.6 寄存器上电复位值	36
3.11 系统时钟功能模块	38
3.11.1 内部 RC 振荡器模式 (IRC)	38
3.11.2 外部晶体振荡器/陶瓷谐振器 (XT)	38
3.11.3 时钟模块应用说明	39
4 CODE OPTION 寄存器	40
5 芯片电气特性	43
5.1 芯片极限参数	43
5.2 芯片直流参数	43
6 封装尺寸信息	44
6.1 14PIN 封装尺寸	44
6.2 8PIN 封装尺寸	45



1 芯片简介

1.1 功能特性

CPU 配置

- 1K×14-Bit OTP ROM
- 256×8Bit EEPROM
- 48×8-Bit SRAM
- 5 级堆栈空间
- 工作电流小于 1 mA (4MHz/5V)
- 工作电流 30 μ A (32KHz/3V)
- 休眠电流小于 1 μ A (休眠模式)

I/O 配置

- 2 组双向 I/O 端口:P5, P6
- 12 个 I/O 口
- P63 可配置上拉和输出
- 唤醒端口:P6 口
- 12 个可编程上拉 I/O 引脚
- 11 个可编程下拉 I/O 引脚
- 12 个可编程驱动增强 I/O 引脚
- 外部中断:P60
- 外部电压检测端口:P63

工作电压

- 工作电压范围:
1.8V~5.5V (0°C~70°C)
2.3V~5.5V (-40°C~85°C)

工作频率范围

- 外部晶振 HXT, LXT
- 外部晶振内置电容:
Disable、7Pf、9Pf、12.5Pf
- 内部 RC 选择:
910KHz/1MHz/8MHz

- 时钟周期分频选择:

2Clock, 4Clock, 8Clock, 16Clock
32Clock

低压复位

- 1.2V \pm 0.3V、1.6V \pm 0.3V
- 1.8V \pm 0.3V、2.4V \pm 0.2V
- 2.7V \pm 0.2V、3.3V \pm 0.2V
- 3.6V \pm 0.2V、4.3V \pm 0.2V

中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断
- T1/PWM 周期溢出中断

外围模块

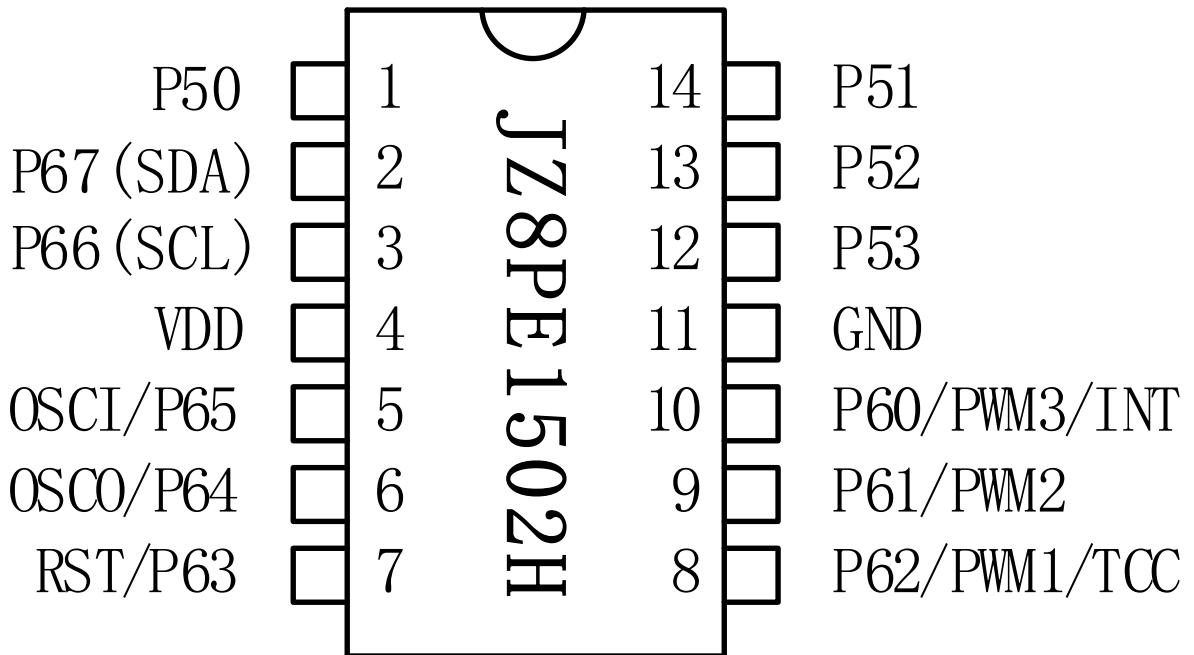
- 可编程 WDT 定时器
4.5ms、18ms、72ms、288ms
- LVD 带有中断和唤醒功能
- 软件可调多级电压检测 (LVD)
2.0V~4.7V, 0.1v/级
- 3 路共周期 8Bit PWM
- 8Bit 实时时钟/计数器
- 内置 RC 振荡器供电
VDD, LDO 2.1v

封装类型

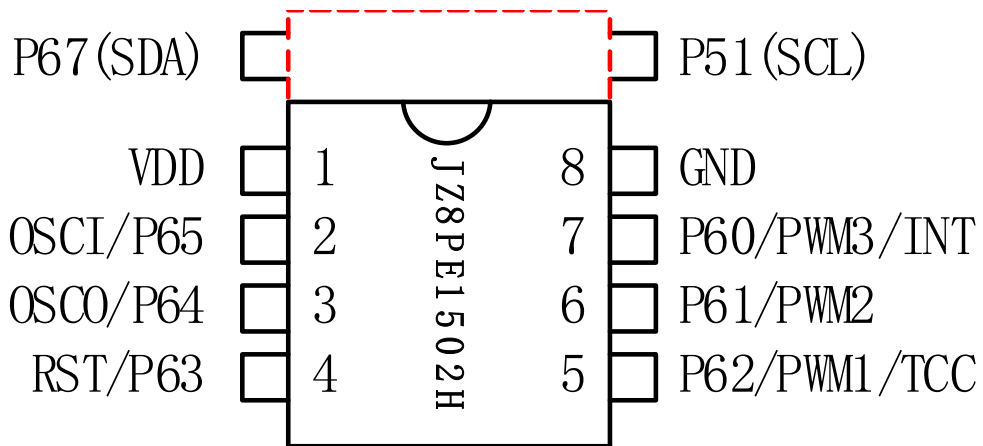
- JZ8PE1502H-DIP14;
- JZ8PE1502H-SOP14;
- JZ8PE1502H-DIP8;
- JZ8PE1502H-SOP8;



1.2 引脚分配



JZ8PE1502H-14PIN 脚位图



JZ8PE1502H-8PIN 脚位图

注意：14PIN 标注的通信口实际并未封出，外部不可作为普通 I/O 口来使用，仅用来通信



1.3 引脚说明

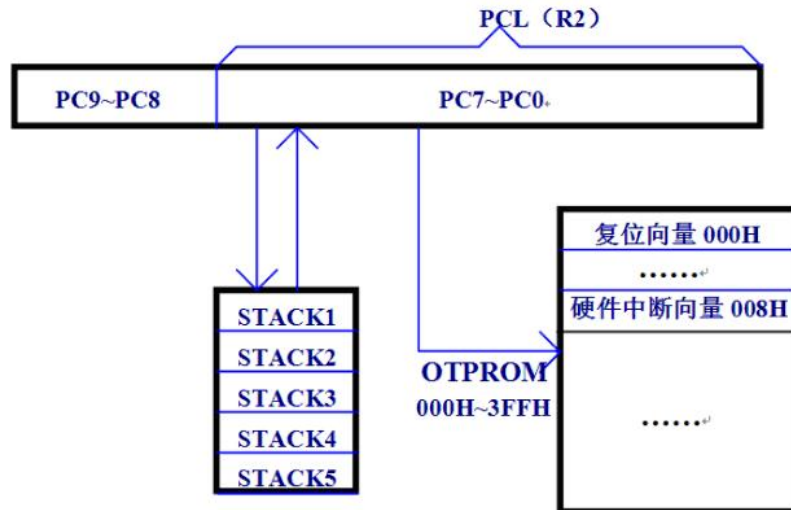
序号	管脚名	I/O	功能描述
P50	P50	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
P51	P51	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
	SCL	--	24C02 通信口
P52	P52	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
P53	P53	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
P60	P60	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	INT	I (SMT)	外部中断输入端口
	PWM3	0	PWM3 输出
P61	P61	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	PWM2	0	PWM2 输出
P62	P62	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	TCC	I	外部 TCC 信号源输入脚
	PWM1	0	PWM1 输出
P63	P63	I/O (上拉)	GPI, 可编程上拉、高驱动、端口唤醒
	RST	I (SMT)	复位脚
	EXVDET	I (Analog)	外部电压检测脚
P64	P64	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	OSC0	0	晶振/陶振的时钟输出端
P65	P65	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	OSCI	I	晶振/陶振的时钟输入端
P66	P66	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	SCL	--	24C02 通信口
P67	P67	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动、端口唤醒
	SDA	--	24C02 通信口



	VDD	--	电源
	VSS	--	地

2 存储器结构

2.1 程序存储器区



程序存储器区结构图

2.2 数据存储器区

2.2.1 RPAGE\IOPAGE\Bank 数据寄存器区

地址	RPAGE 页面寄存器	IOPAGE 页面寄存器
0x00	R0/IAR(间接地址存储器)	保留
0x01	R1/TCC(TCC 定时计数器)	CONT(控制寄存器)
0x02	R2/PCL(PC 程序计数器)	保留
0x03	R3/STATUS(STATUS 状态寄存器)	保留
0x04	R4/FSR(RAM 选择寄存器)	保留
0x05	R5/PORT5(数据寄存器)	IOC5/P5CR(P5 方向控制寄存器)



0x06	R6/PORT6 (数据寄存器)	IOC6/P6CR (P6 方向控制寄存器)
0x07	R7/LVDCON (LVD 控制寄存器)	保留
0x08	R8/PWMCON (PWM 控制寄存器)	保留
0x09	R9/PRD (PWM 周期寄存器)	IOC9/PHDCR (端口上下拉控制寄存器)
0x0A	RA/PDC1 (PWM1 占空比寄存器)	保留
0x0B	RB/PDC2 (PWM2 占空比寄存器)	IOCB/PDCR (端口下拉控制寄存器)
0x0C	RC/PDC3 (PWM3 占空比寄存器)	保留
0x0D	RD/ICIECR (输入变化中断使能寄存器)	IOCD/PHCR (P6 端口上拉控制寄存器)
0x0E	RE/CPUCON (CPU 模式控制寄存器)	IOCE/WDTCR (WDT 控制寄存器)
0x0F	RF/ISR (中断标志寄存器)	IOCF/IMR (中断使能控制寄存器)
0x10 - 0x3F	通用寄存器	



3 功能模块

3.1 操作寄存器

3.1.1 RPAGE~R0-IAR (间接地址存储器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RIND<7:0>							

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4（RAM 选择寄存器）低 6 位 FSR<5:0>所指向的数据。

3.1.2 RPAGE~R1-TCC (TCC 定时计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TCC 可读可写。

3.1.3 RPAGE~R2-PCL (PC 程序计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL<7:0>							

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中, PC 将指令指针推进程序存储器, 然后指针自增 1 以进入下一个周期。

3.1.4 RPAGE~R3-STATUS (STATUS 状态寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GB1	GB0	T	P	Z	DC	C

Bit<7>:RST-复位类型标志位:

0:其它复位类型

1:引脚状态改变引起唤醒

Bit<6:5>:GB1-GB0:通用读写位

Bit<4>:T-时间溢出位

0:WDT 溢出

1:执行“SLEEP”和“CWDT”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0



Bit<3>:P-掉电标志位:

- 0:执行“SLEEP”指令
- 1:上电复位或执行“CWDT”指令

Bit<2>:Z-零标志位算术或逻辑操作结果为零时置为“1”

- 0:当算术或者逻辑运算结果不为0
- 1:当算术或者逻辑运算结果为0

Bit<1>:DC-辅助进位标志:

- 0:执行加法运算时,低四位没有进位产生;/执行减法运算时,低四位产生借位
- 1:执行加法运算时,低四位有进位产生;/执行减法运算时,低四位没产生借位

Bit<0>:C-进位标志:

- 0:执行加法运算时,高四位没有进位产生;/执行减法运算时,高四位产生借位
- 1:执行加法运算时,高四位有进位产生;/执行减法运算时,高四位没产生借位

3.1.5 RPAGE~R4-RSR (FSR RAM 选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	1	FSR<5:0>					

FSR<5:0> 在间接寻址方式中用于选择 RAM 寄存器地址 (寻址范围:0X00~0X3F)

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 FSR 中对应地址的寄存器。

3.1.6 RPAGE~R5-PORT5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	P53	P52	P51	P50

端口输入/输出寄存器, P5 端口为 4 位, R5 为可读可写寄存器

3.1.7 RPAGE~R6-PORT6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

端口输入/输出寄存器, P6 端口为 8 位, R6 为可读可写寄存器

3.1.8 RPAGE~R7-LVDCON (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LV DEN	LV DF	EXVEN	LV DSEL<4:0>				

Bit<7>:LV DEN

- 1:LVD 使能
- 0:LVD 禁止

Bit<6>:LV DF

- 1:LVD 低于预设电压点
- 0:LVD 高于预设电压点

Bit<5>:EXVEN

- 1:LVD 检测电压选择 P63 端口输入
- 0:LVD 检测电压选择 VDD

LV DSEL<4:0>:

LV DSEL<4>	LV DSEL<3>	LV DSEL<2>	LV DSEL<1>	LV DSEL<0>	电压点
0	0	0	0	0	2.0v
0	0	0	0	1	2.1v



0	0	0	1	0	2.2v
0	0	0	1	1	2.3v
0	0	1	0	0	2.4v
0	0	1	0	1	2.5v
0	0	1	1	0	2.6v
0	0	1	1	1	2.7v
0	1	0	0	0	2.8v
0	1	0	0	1	2.9v
0	1	0	1	0	3.0v
0	1	0	1	1	3.1v
0	1	1	0	0	3.2v
0	1	1	0	1	3.3v
0	1	1	1	0	3.4v
0	1	1	1	1	3.5v
1	0	0	0	0	3.6v
1	0	0	0	1	3.7v
1	0	0	1	0	3.8v
1	0	0	1	1	3.9v
1	0	1	0	0	4.0v
1	0	1	0	1	4.1v
1	0	1	1	0	4.2v
1	0	1	1	1	4.3v
1	1	0	0	0	4.4v
1	1	0	0	1	4.5v
1	1	0	1	0	4.6v
1	1	0	1	1	4.7v

3.1.9 RPAGE~R8-PWMCON (PWM 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1EN	PWM3EN	PWM2EN	PWM1EN	T1PTEN	T1P<2:0>		

Bit<7>: T1EN-T1/PWM 计数器使能

1: 使能

0: 禁止

Bit<6>: PWM3EN-PWM3 输出使能控制位

1: 使能 (P60 输出 PWM3)

0: 禁止

Bit<5>: PWM2EN-PWM2 输出使能控制位

1: 使能 (P61 输出 PWM2)

0: 禁止

Bit<4>: PWM1EN-PWM1 输出使能控制位

1: 使能 (P62 输出 PWM1)

0: 禁止

Bit<3:0>: T1PTEN PT1P<2:0>-T1 预分频选择控制位



T1PTEN	PT1P<2>	PT1P<1>	PT1P<0>	T1 分频比
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.10 RPAGE~R9-PRD (PWM 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD<7:0>							

T1/PWM 周期寄存器

3.1.11 RPAGE~RA-PDC1 (PWM1 占空比寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC1<7:0>							

Bit<7:0>:PDC1<7:0>-PWM1 占空比

3.1.12 RPAGE~RB-PDC2 (PWM2 占空比寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<7:0>							

Bit<7:0>:PDC2<7:0>-PWM2 占空比

3.1.13 RPAGE~RC-PDC3 (PWM3 占空比寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC3<7:0>							

Bit<7:0>:PDC3<7:0>-PWM3 占空比

3.1.14 RPAGE~RD-ICIECR (P6 端口中断唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口中断唤醒使能

1:使能

0:禁止 (默认)

注意: 在 OPTION 中端口唤醒设置选择中, 如果选择 P6 端口非独立控制, 则端口唤醒不受 RD 寄存器控制, 否则需要对 RD 寄存器做处理, 不然端口无法唤醒。

3.1.15 RPAGE~RE-CPUCON (CPU 模式控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM1	PWMCKS	TCCCKS	PWMWE	TCCWE	STPHX	CLKMD	IDLE

Bit<7>:IPWM1-PWM 互补输出

1:PWM1 输出取反

0:PWM1 输出无取反



Bit<6>:PWMCKS-PWM 时钟源

1:选择系统时钟

0:选择指令周期时钟

Bit<5>:TCCCKS-TCC 时钟源选择

1:选择系统时钟

0:选择指令周期时钟

Bit<4>:PWMWE-PWM 唤醒

1:PWM 唤醒使能, 可唤醒空闲模式

0:PWM 唤醒禁止

Bit<3>:TCCWE-TCC 唤醒

1:TCC 唤醒使能, 可唤醒空闲模式, RTC 模式下可唤醒睡眠以及空闲模式

0:TCC 唤醒禁止

(RTC 模式下设置 TCCWE=1&RTCS=1 休眠时 LXT 继续工作不会停止, 否则休眠会停止 LXT)

Bit<2>:STPHX-高速时钟

1:停止高速时钟, 包括 IRC 和晶振振荡器时钟 (不包括 RTC 时钟)

0:高速时钟正常工作

Bit<1>:CLKMD-系统时钟

1:系统时钟使用低速 RC 振荡器时钟

0:系统时钟使用高速 IRC 或者晶振振荡器时钟

(系统从正常模式进入低速模式时 先设置 CLKMD=1, 后设置 STPHX=1, 系统从低速模式进入正常模式时 先设置 STPHX=0, 后设置 CLKMD=0)

Bit<0>:IDLE-空闲模式

1:系统执行 SLEEP 指令时进入空闲模式, 系统时钟正常工作

(TCC 和 PWM 在空闲模式下如果选择系统时钟可继续工作, 并可唤醒系统)

0:系统执行 SLEEP 指令时进入睡眠模式

3.1.16 RPAGE~RF-ISR(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	T1IF	EXIF	ICIF	TCIF

Bit<3>:T1IF-T1/PWM 周期中断标志位, 软件清 0

Bit<2>:EXIF-外部端口中断标志位(由 EXINT 引脚下降沿置 1, 软件清 0)

Bit<1>:ICIF-P6 端口状态改变中断标志位, 软件清 0

Bit<0>:TCIF-TCC 中断标志位, 软件清 0

1:有中断

0:无中断

注意:清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。



3.2 控制寄存器

3.2.1 CONT (控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RTCS	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:RTCS

当 RTC 在 OPTION 中关闭时，作为通用读写位；

当 RTC 在 OPTION 中使能时：

1:选择外部晶振时钟（LXT 的 4 分频）

0:TCC 时钟由 TCCCKS 和 TS 决定，TCCCKS=1 时钟源选择 FOSC，TCCCKS=0 时钟源由 TS 决定 TCC 时钟源优先级 RTCS>TCCCKS>TS

Bit<6>:INT-中断使能标志位

0:由指令或硬件禁止中断

1:由指令使能中断

Bit<5>:TS-TCC 信号源选择位

0:内部指令周期时钟

1:外部输入信号（P62 需要设置为输入口）

Bit<4>:TE-TCC 信号边沿选择位

0:TCC 引脚信号发生由低到高变化加 1

1:TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-预分频器分配位

0:预分频器分给 TCC

1:预分频器分给 WDT

Bit<2:0>PSR2~PSR0:TCC/WDT 预分频选择控制位：

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

注意：CONT 寄存器 Bit. 3 (PAB) 预分频选择位及 Bit. 2~0 (PSR2~PSR0) 分频选择位在切换状态时，需先关闭看门狗使能，待切换完成后再打开看门狗使能，否则容易导致复位。

3.2.2 IOPAGE~IOC5-P5CR (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入

0:输出



3.2.3 IOPAGE~IOC6-P6CR(P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出

3.2.4 IOPAGE~IOC9-PHDCR(端口上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Bit<7:4>:P6<7:4>下拉使能控制

0:使能

1:禁止 (默认)

Bit<3:0>:P5<3:0>上拉使能控制

0:使能

1:禁止 (默认)

注:烧录进行 option 设置时,需使能 P5, P6 上下拉该寄存器才能有效,否则全部读为 1.

3.2.5 IOPAGE~IOCB-PDCR(端口下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	P6PD<2>	P6PD<1>	P6PD<0>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Bit7:未定义

Bit<6:4>:P6<2:0>下拉使能控制

0:使能

1:禁止 (默认)

Bit<3:0>:P5<3:0>下拉使能控制

0:使能

1:禁止 (默认)

注:P5PD<3>下拉功能,需在 option 设置时使能 P5, P6 上下拉才能有效,在兼容其他类似产品时,注意此位的操作,以免出现功耗等其他问题。

3.2.6 IOPAGE~IOCD-PHCR(P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 上拉控制

0:使能

1:禁止 (默认)

注:P6PH<3>软件上拉,需在 option 设置时使能 P5, P6 上下拉才能有效,否则读为 1.

3.2.7 IOPAGE~IOCE-WDTCR(看门狗控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	1	1	1	1	1	1

Bit<7>:WDTEN-WDT 使能控制

0:禁止 (默认)

1:使能



Bit<6>:EIS-P60 外部中断使能位

0:禁止, P60 为双向 I/O 管脚

1:使能, 外部中断, 在这种情况下, P60 的 I/O 控制位必须设为 1。当 EIS 为“0”时, EXINT 通道被屏蔽。为“1”时, EXINT 管脚的状态可以由 P60 端口读取。

3.2.8 IOPAGF~IOCF-IMR(中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	T1IE	EXIE	ICIE	TCIE

Bit<3>:T1IE-T1 中断使能位

1:使能

0:禁止 (默认)

Bit<2>:EXIE-外部中断使能控制

1:使能

0:禁止 (默认)

Bit<1>:ICIE-P6 端口状态改变中断使能控制

1:使能

0:禁止 (默认)

Bit<0>:TCIE-TCC 溢出中断使能控制

1:使能

0:禁止 (默认)



3.3 GPIO 功能模块

JZ8PE1502H 有 2 组双向 I/O 端口，共 12 个输入，10 个输出(2 个 24C02 通信口除外)，大部分 I/O 可以复用为其它功能。

12 个可编程上拉 I/O 引脚:P5.0~P5.3, P6.0~P6.7;

11 个可编程下拉 I/O 引脚:P5.0~P5.3, P6.0~P6.2, P6.4~P6.7;

12 个可编程驱动增强 I/O 引脚:P5.0~P5.3, P6.0~P6.7; (端口驱动增强需在烧录 option 中进行设置)

端口输入特性表格如下 (仅作参考):

端口	SMT	HSMT	EMT	INV
P6.3	0.4*VDD	0.16*VDD/0.6*VDD	0.2*VDD	0.45*VDD
P6.0~P6.2	0.2*VDD/0.5*VDD	0.16*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.45*VDD
P6.4~P6.5	0.2*VDD/0.5*VDD	0.16*VDD/0.6*VDD	0.3*VDD	0.45*VDD
P6.6~P6.7	0.2*VDD/0.5*VDD	0.16*VDD/0.6*VDD	0.16*VDD/0.35*VDD	0.45*VDD
P5.0~P5.3	0.2*VDD/0.5*VDD	0.16*VDD/0.6*VDD	0.2*VDD/0.35*VDD	0.45*VDD

以上参数仅做参考，请以目标样机实测数据为准。

3.3.1 GPIO 寄存器说明

RPAGE~R5-PORT5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	P53	P52	P51	P50

端口输入/输出寄存器，P5 端口为 4 位，R5 为可读可写寄存器

RPAGE~R6-PORT6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

端口输入/输出寄存器，P6 端口为 8 位，R6 为可读可写寄存器

IOPAGE~IOC5-P5CR (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 端口输入/输出设置寄存器

1:输入 (默认)

0:输出

IOPAGE~IOC6-P6CR (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 端口输入/输出设置寄存器

1:输入 (默认)

0:输出

IOPAGE~IOC9-PHDCR (端口上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>



Bit<7:4>:P6<7:4>下拉使能控制

- 0:使能
- 1:禁止 (默认)

Bit<3:0>:P5<3:0>上拉使能控制

- 0:使能
- 1:禁止 (默认)

注:烧录进行 option 设置时,需使能 P5, P6 上下拉该寄存器才能有效,否则全部读为 1.

IOPAGE~IOCB-PDCR(端口下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	P6PD<2>	P6PD<1>	P6PD<0>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Bit7:未定义

Bit<6:4>:P6<2:0>下拉使能控制

- 0:使能
- 1:禁止 (默认)

Bit<3:0>:P5<3:0>下拉使能控制

- 0:使能
- 1:禁止 (默认)

注:P5PD<3>下拉功能,需在 option 设置时使能 P5, P6 上下拉才能有效,在兼容其他类似产品时,注意此位的操作,以免出现功耗等其他问题。

IOPAGE~IOCD-PHCR(P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 上拉控制

- 0:使能
- 1:禁止 (默认)

注:P6PH<3>软件上拉,需在 option 设置时使能 P5, P6 上下拉才能有效,否则读为 1.



3.4 TCC 定时器功能模块

TCC (R1)是一个 8-Bit 上行计数器，只要有时钟就工作。时钟源既可以是内部系统时钟（上升沿触发），也可以选择外部时钟（由 TCC 引脚输入，触发沿可选），如果没有分频控制，每个时钟（ F_m/F_s ）周期（选择内部时钟）或每个外部时钟周期（外部时钟），计数器实现加 1。系统提供一个 8-Bit 计数器作为 TCC 的预分频器。可以通过 CONT 寄存器设置 TCC 预分频、触发沿、时钟等。TCC 计数溢出可以形成中断信号。

注意：清除中断标志位时，必须使用 MOV RF, A 操作，不能使用 BTC 和 AND RF, A 指令操作。

3.4.1 TCC 定时器寄存器说明

CONT（控制寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RTCS	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:RTCS

当 RTC 在 OPTION 中关闭时，作为通用读写位；

当 RTC 在 OPTION 中使能时：

1:选择外部晶振时钟（LXT 的 4 分频）

0:TCC 时钟由 TCCCKS 和 TS 决定，TCCCKS=1 时钟源选择 FOSC，TCCCKS=0 时钟源由 TS

决定 TCC 时钟源优先级 RTCS>TCCCKS>TS

Bit<5>:TS-TCC 信号源选择位

0:内部指令周期时钟

1:外部输入信号（P62 需要设置为输入口）

Bit<4>:TE-TCC 信号边沿选择位

0:TCC 引脚信号发生由低到高变化加 1

1:TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-预分频器分配位

0:预分频器分给 TCC

1:预分频器分给 WDT

Bit<2:0>PSR2~PSR0:TCC/WDT 预分频选择控制位：

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128



RPAGE~R1-TCC(TCC 定时计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TCC 可读可写。

RPAGE~RE-COUCON(CPU 模式控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM1	PWMCKS	TCCCKS	PWMWE	TCCWE	STPHX	CLKMD	IDLE

Bit<5>:TCCCKS-TCC 时钟源选择

- 1:选择系统时钟
- 0:选择指令周期时钟

Bit<3>:TCCWE-TCC 唤醒

- 1:TCC 唤醒使能, 可唤醒空闲模式, RTC 模式下可唤醒睡眠以及空闲模式
- 0:TCC 唤醒禁止

(RTC 模式下设置 TCCWE=1&RTCS=1 休眠时 LXT 继续工作不会停止, 否则时休眠会停止 LXT)

Bit<2>:STPHX-高速时钟

- 1:停止高速时钟, 包括 IRC 和晶振振荡器时钟 (不包括 RTC 时钟)
- 0:高速时钟正常工作

Bit<1>:CLKMD-系统时钟

- 1:系统时钟使用低速 RC 振荡器时钟
- 0:系统时钟使用高速 IRC 或者晶振振荡器时钟

(系统从正常模式进入低速模式时 先设置 CLKMD=1, 后设置 STPHX=1, 系统从低速模式进入正常模式时 先设置 STPHX=0, 后设置 CLKMD=0)

Bit<0>:IDLE-空闲模式

- 1:系统执行 SLEEP 指令时进入空闲模式, 系统时钟正常工作
(TCC 和 PWM 在空闲模式下如果选择系统时钟可继续工作, 并可唤醒系统)
- 0:系统执行 SLEEP 指令时进入睡眠模式

RPAGE~RF-ISR(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	T1IF	EXIF	ICIF	TCIF

Bit0:TCIF-TCC 中断标志位

- 1:有中断
- 0:无中断

注意:清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。

IOPAGF~IOCF-IMR(WDT 唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	T1IE	EXIE	ICIE	TCIE

Bit0:TCIE-TCC 中断使能控制

- 1:使能
- 0:禁止 (默认)



3.4.2 TCC 定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值（选择作为计时器或计数器及预分频比）；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外部信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF 寄存器中的 TCIE (Bit0) 为 1，并执行 EI 指令；
- 5、中断程序部分将手动保存 ACC、STATUS 及 R4 于堆栈器中，执行 RETI 指令后，再自堆栈中取出，退出中断前要清楚 TCC 中断标志位。



3.5 WDT 看门狗功能模块

WDT 是一个 12-Bit 上行计数器，有两重使能控制信号控制（OPTION 中的看门狗配置和 IOCE 寄存器中的 WDTEN 控制位）。计数时钟由单独的振荡器提供，因此在系统进入到静态模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位时间由 OPTION 中的复位时间选择 4.5ms、18ms、72ms、288ms。

系统提供一个 8-Bit 计数器作为 WDT 的分频器，通过 CONT 寄存器设置。

无论是在仿真还是在烧录时，如果要使能 WDT 功能，则不需要在 Code Option 寄存器的 WDT 位选 Enable，只需要在 WDT 控制寄存器中的 WDTEN 位选择“1”即可。看门狗定时器 (WDT) 的计数频率来源为内部的 RC 振荡器，计数频率约为 15KHz(±30%)，当 MCU 进入睡眠 (Sleep) 模式时，由于供给 RC 振荡器的电源，并没有关闭，WDT 依然在计数，当 WDT 溢出时，会将 MCU 唤醒且复位。

3.5.1 WDT 看门狗寄存器说明

IOPAGE~IOCE-WDTCR(WDT 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	1	1	1	1	1	1

Bit7:WDTEN-WDT 使能控制

1:使能

0:禁止（默认）

3.5.2 WDT 看门狗设置说明

- 1、设定 IOCE 寄存器中 Bit7(WDTEN)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 CONT 寄存器的 Bit2~Bit0 位；
- 3、如果使能 WDT 唤醒，建议客户禁止其他唤醒。原因:WDT 唤醒和其他唤醒使能，当 WDT 功能的应用同时唤醒时，IC 会优先 reset，而不去执行其他唤醒后的程序，故如果使能 WDT 唤醒，建议客户其他唤醒禁止。

3.5.3 WDT 看门狗定时时间

如需使用 WDT 看门狗溢出唤醒的计算时间为 $T=WDT*WDT$ 分频。

举例：

在烧录选项中 WDT=18ms，WDT 分频为 1:4, 则看门狗溢出时间为 $18*4=72ms$ (±30%)

注意：看门狗定时时间受 VDD 电压影响较大，具体以实际电压测量为准。



3.6 睡眠唤醒功能模块

3.6.1 睡眠唤醒方式说明

芯片执行“SLEEP”指令可以转到休眠模式（低功耗模式）。进入休眠模式时，系统时钟停止，所有模块停止工作，WDT（若使能）清0，但继续运行。

单片机可被如下情况唤醒：

- 1、WDT 复位唤醒；
- 2、RTC 唤醒；
- 3、端口状态改变唤醒；

后两种方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP 前执行 DI）或执行相应的跳转（SLEEP 前执行 EI），并打开相应的使能控制位，跳转到中断向量的位置。

注意：清除中断标志位时，必须使用 MOV RF,A 操作，不能使用 BTC 和 AND RF,A 指令操作。

3.6.2 相关寄存器说明

CONT（控制寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RTCS	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:RTCS

当 RTC 在 OPTION 中关闭时，作为通用读写位；

当 RTC 在 OPTION 中使能时：

1:选择外部晶振时钟（LXT 的 4 分频）

0:TCC 时钟由 TCCCKS 和 TS 决定，TCCCKS=1 时钟源选择 FOSC，TCCCKS=0 时钟源由 TS 决定 TCC 时钟源优先级 RTCS>TCCCKS>TS

RPAGE~RD-ICIECR(P6 端口中断唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口中断唤醒使能

1:使能

0:禁止（默认）

注意：在 OPTION 中端口唤醒设置选择中，如果选择 P6 端口非独立控制，则端口唤醒不受 RD 寄存器控制，否则需要对 RD 寄存器做处理，不然端口无法唤醒。

RPAGE~RE-CPUCON(CPU 模式控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM1	PWMCKS	TCCCKS	PWMWE	TCCWE	STPHX	CLKMD	IDLE

Bit<6>:PWMCKS-PWM 时钟源

1:选择系统时钟

0:选择指令周期时钟

Bit<5>:TCCCKS-TCC 时钟源选择

1:选择系统时钟

0:选择指令周期时钟

Bit<4>:PWMWE-PWM 唤醒



1:PWM 唤醒使能，可唤醒空闲模式

0:PWM 唤醒禁止

Bit<3>:TCCWE-TCC 唤醒

1:TCC 唤醒使能，可唤醒空闲模式，RTC 模式下可唤醒睡眠以及空闲模式

0:TCC 唤醒禁止

(RTC 模式下设置 TCCWE=1&RTCS=1 休眠时 LXT 继续工作不会停止，否则时休眠会停止 LXT)

Bit<2>:STPHX-高速时钟

1:停止高速时钟，包括 IRC 和晶振振荡器时钟（不包括 RTC 时钟）

0:高速时钟正常工作

Bit<1>:CLKMD-系统时钟

1:系统时钟使用低速 RC 振荡器时钟

0:系统时钟使用高速 IRC 或者晶振振荡器时钟

(系统从正常模式进入低速模式时 先设置 CLKMD=1, 后设置 STPHX=1, 系统从低速模式进入正常模式时 先设置 STPHX=0, 后设置 CLKMD=0)

Bit<0>:IDLE-空闲模式

1:系统执行 SLEEP 指令时进入空闲模式，系统时钟正常工作

(TCC 和 PWM 在空闲模式下如果选择系统时钟可继续工作，并可唤醒系统)

0:系统执行 SLEEP 指令时进入睡眠模式

RPAGE~RF-ISR(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	T1IF	EXIF	ICIF	TCIF

Bit1:ICIF-P6 端口输入状态改变中断标志位

1:有中断

0:无中断

IOPAGF~IOCF-IMR(WDT 唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	T1IE	EXIE	ICIE	TCIE

Bit1:P6ICIE-P6 端口状态改变中断使能控制

1:使能

0:禁止（默认）

3.6.3 端口状态改变查询方式唤醒设置

- 1、PORT6 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、使能 PORT 端口状态改变中断；
- 4、使能端口状态改变独立中断及唤醒控制；
- 5、执行 DI 指令，不进入中断地址口；
- 6、执行“SLEEP”指令，进入睡眠 SLEEP 模式；
- 7、唤醒后，执行 SLEEP 的下一条指令。



3.6.4 端口状态改变中断方式唤醒设置

- 1、PORT6 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、使能端口状态改变独立中断及唤醒控制；
- 4、使能 PORT 端口状态改变中断；
- 5、执行“EI”指令，等待进入中断地址口；
- 6、下指令“SLEEP”，进入睡眠 SLEEP 模式；
- 7、唤醒后会进入中断地址口，退出中断后，执行 SLEEP 下一条指令。



3.7 LVD 电压检测功能模块

JZ8PE1502H 具有低电压检测（LVD）功能，总共可编程选择 28 个电压值，当 CPU 的工作电压下降到设定值时，RPAGE-R7 寄存器的 Bit6 位被置 1。

3.7.1 LVD 电压检测寄存器说明

RPAGE~R7-LVDCON(LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LV DEN	LV DF	EX VEN	LV DSEL<4:0>				

Bit<7>:LV DEN

- 1:LVD 使能
- 0:LVD 禁止

Bit<6>:LV DF

- 1:LVD 低于预设电压点
- 0:LVD 高于预设电压点

Bit<5>:EX VEN

- 1:LVD 检测电压选择 P63 端口输入
- 0:LVD 检测电压选择 VDD

LV DSEL<4:0>:

LV DSEL<4>	LV DSEL<3>	LV DSEL<2>	LV DSEL<1>	LV DSEL<0>	电压点
0	0	0	0	0	2.0v
0	0	0	0	1	2.1v
0	0	0	1	0	2.2v
0	0	0	1	1	2.3v
0	0	1	0	0	2.4v
0	0	1	0	1	2.5v
0	0	1	1	0	2.6v
0	0	1	1	1	2.7v
0	1	0	0	0	2.8v
0	1	0	0	1	2.9v
0	1	0	1	0	3.0v
0	1	0	1	1	3.1v
0	1	1	0	0	3.2v
0	1	1	0	1	3.3v
0	1	1	1	0	3.4v
0	1	1	1	1	3.5v
1	0	0	0	0	3.6v
1	0	0	0	1	3.7v
1	0	0	1	0	3.8v
1	0	0	1	1	3.9v
1	0	1	0	0	4.0v
1	0	1	0	1	4.1v
1	0	1	1	0	4.2v



1	0	1	1	1	4.3v
1	1	0	0	0	4.4v
1	1	0	0	1	4.5v
1	1	0	1	0	4.6v
1	1	0	1	1	4.7v

3.7.2 LVD 电压检测查询方式设置说明

- 1、设定 LVD 的电压值（RPAGE~R7 寄存器的 LVDSEL<4>-LVDSEL<0> 位）；
- 2、使能 LVD 功能(RPAGE~R7 寄存器 LVDEN 位)；
- 3、用 MOV 指令读取 RPAGE~R7 寄存器的值，并赋值到通用寄存器；
- 4、判断通用寄存器中，RPAGE~R7 寄存器的 LVDF 位，执行相应的动作。



3.8 PWM 脉宽调制功能模块

JZ8PE1502H 提供 3 路共周期的 8Bit PWM 信号。PWM 输出波形由周期及占空因数决定，传输速率为周期倒数。

3.8.1 PWM 脉宽调制寄存器说明

RPAGE~R8-PWMCON (PWM 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1EN	PWM3EN	PWM2EN	PWM1EN	T1PTEN	T1P<2:0>		

Bit<7>:T1EN-T1/PWM 计数器使能

1:使能

0:禁止

Bit<6>:PWM3EN-PWM3 输出使能控制位

1:使能 (P60 输出 PWM3)

0:禁止

Bit<5>:PWM2EN-PWM2 输出使能控制位

1:使能 (P61 输出 PWM2)

0:禁止

Bit<4>:PWM1EN-PWM1 输出使能控制位

1:使能 (P62 输出 PWM1)

0:禁止

Bit<3:0>:T1PTEN PT1P<2:0>-T1 预分频选择控制位

T1PTEN	PT1P<2>	PT1P<1>	PT1P<0>	T1 分频比
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

RPAGE~R9-PRD (PWM 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD<7:0>							

T1/PWM 周期寄存器

RPAGE~RA-PDC1 (PWM1 占空比寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC1<7:0>							

Bit<7:0>:PDC1<7:0>-PWM1 占空比

RPAGE~RB-PDC2 (PWM2 占空比寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<7:0>							



Bit<7:0>:PDC2<7:0>-PWM2 占空比

RPAGE~RC-PDC3 (PWM3 占空比寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC3<7:0>							

Bit<7:0>:PDC3<7:0>-PWM3 占空比

RPAGE~RE-CPUCON (CPU 模式控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM1	PWMCKS	TCCCKS	PWMWE	TCCWE	STPHX	CLKMD	IDLE

Bit<7>:IPWM1-PWM 互补输出

1:PWM1 输出取反

0:PWM1 输出无取反

Bit<6>:PWMCKS-PWM 时钟源

1:选择系统时钟

0:选择指令周期时钟

Bit<4>:PWMWE-PWM 唤醒

1:PWM 唤醒使能, 可唤醒空闲模式

0:PWM 唤醒禁止

RPAGE~RF-ISR (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	T1IF	EXIF	ICIF	TCIF

Bit<3>:T1IF-T1/PWM 周期中断标志位, T1/PWM 周期置 1, 软件清 0

注意: 清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。

IOPAGF~IOCF-IMR (WDT 唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	T1IE	EXIE	ICIE	TCIE

Bit<3>:T1IE-T1 中断使能位

1:使能

0:禁止 (默认)

3.8.2 PWM 脉宽调制设置说明

- 1、设置 PWMCON 寄存器, 选择相应的定时器为 PWM 模式、定时器的分频比、定时器中断类型 (若使能 PWM 中断)、定时器的时钟源等;
- 2、写 RPAGE-R9 寄存器的值, 确定该 PWM 通道的周期;
- 3、写 PDCX 寄存器的值, 确定该 PWM 通道的占空比;
- 4、使能相应定时器;
- 5、使能或禁止 PWM 对应的定时器中断, 并下 “EI” 或 “DI” 指令 (如果需要)。



3.8.3 PWM 计算说明

PWM 周期计算公式: $Perid = PRD * (1/fosc) * CLOCKS * T1$ 预分频比 (PWM 时钟源为指令周期时钟)

PWM 周期计算公式: $Perid = PRD * (1/fosc) * T1$ 预分频比 (PWM 时钟源为系统时钟)

PWM 占空比计算公式: $Duty = PDCX * (1/fosc) * CLOCKS * T1$ 预分频比 (PWM 时钟源为指令周期时钟)

PWM 占空比计算公式: $Duty = PDCX * (1/fosc) * T1$ 预分频比 (PWM 时钟源为系统时钟)

其中 PRD 为 PWM 周期值, fosc 为时钟源频率, CLOCKS 为时钟分频, PDCX 为 PWM 占空比

举例 1: PWM1 输出周期为 100us, 占空比为 50us 的波形 (PWM 时钟源为指令周期时钟)

```
CPUCON&=0xbf; //PWM 时钟源选择指令周期时钟
PWMCON=0x99; //使能 PWM1 且 T1 分频设置为 4 分频, IRC 选择 8M, 2Clocks
PRD=100; //周期 Perid=100*(1/8)*2*4=100us
DT1=50; //占空比 Duty=50*(1/8)*2*4=50us
```

举例 2: PWM1 输出周期为 100us, 占空比为 50us 的波形 (PWM 时钟源为系统时钟)

```
CPUCON|=0x40; //PWM 时钟源选择系统时钟
PWMCON=0x99; //使能 PWM1 且 T1 分频设置为 4 分频, IRC 选择 8M, 2Clocks
PRD=200; //周期 Perid=200*(1/8)*4=100us
DT1=100; //占空比 Duty=100*(1/8)*4=50us
```



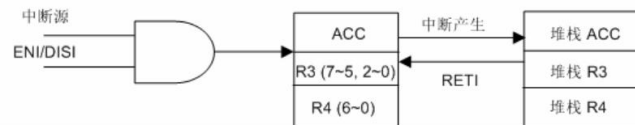

3.9 中断功能模块

JZ8PE1502H 具有 4 个中断源，无论是使用其中哪一个中断，都必须使总中断使能，即下“EI”指令。下面分别是每个中断的特性，中断地址及优先级别：

	中断源	使能条件	中断标志	中断向量
外部	外部中断	EI + EXIE = 1	EXIF	008H
外部	端口输入改变	EI + ICIE = 1	ICIF	008H
内部	TCC 溢出中断	EI + TCIE = 1	TCIF	008H
内部	T1/PWM 周期中断	EI + T1IE = 1	T1IF	008H

RPAGE~RF 为中断状态标志寄存器，它们记录了当某个中断产生中断请求后的中断标志位。IOPAGF~IOCF 为中断设置寄存器，中断的允许与禁止在这两个寄存器中设置。总中断的允许是通过下“EI”指令，相反，总中断的禁止是通过下“DI”指令。当一个中断产生时，它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零，这样才能避免中断的误动作。

当执行中断子程序时，ACC、R3、R4 的内容需要手动保留起来，直到离开中断子程序后，需要手动将被保留的值载入 ACC、R3、R4，如此是为了避免在执行中断子程序时，有将 ACC、R3、R4 的值改变，导致回主程序时发生错误。如下图所示：



3.9.1 中断寄存器说明

RPAGE~RF-ISR(中断标志寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	T1IF	EXIF	ICIF	TCIF

Bit<3>:T1IF-T1/PWM 周期中断标志位，软件清 0

Bit<2>:EXIF-外部端口中断标志位(由 EXINT 引脚下降沿置 1，软件清 0)

Bit<1>:ICIF-P6 端口状态改变中断标志位，软件清 0

Bit<0>:TCIF-TCC 中断标志位，软件清 0

1:有中断

0:无中断

注意：清除中断标志位时，必须使用 MOV RF,A 操作，不能使用 BTC 和 AND RF,A 指令操作。

IOPAGF~IOCF-IMR(中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	T1IE	EXIE	ICIE	TCIE

Bit<3>:T1IE-T1 中断使能位

Bit<2>:EXIE-外部中断使能控制

Bit<1>:ICIE-P6 端口状态改变中断使能控制

Bit<0>:TCIE-TCC 溢出中断使能控制

1:使能

0:禁止(默认)



3.10 复位功能模块

3.10.1 复位功能概述

JZ8PE1502H 系统提供 3 种复位方式：

- 1、上电复位和低压复位；
- 2、RESET 脚输入低电平复位；
- 3、WDT 看门狗溢出复位；

第一种复位时间由 OPTION 中的复位时间选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
PWRT=WDT=18ms	上电复位时间= 18ms
PWRT=WDT=4.5ms	上电复位时间= 4.5ms
PWRT=WDT=72ms	上电复位时间= 72ms
PWRT=WDT=288ms	上电复位时间= 288ms
PWRT=140us WDT=18ms	上电复位时间=140us
PWRT=140us WDT=4.5ms	上电复位时间=140us
PWRT=140us WDT=72ms	上电复位时间=140us
PWRT=140us WDT=288ms	上电复位时间=140us

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.10.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。



3.10.3 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态:系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化:所有的系统寄存器被置为默认状态；

振荡器开始工作:振荡器开始提供系统时钟；

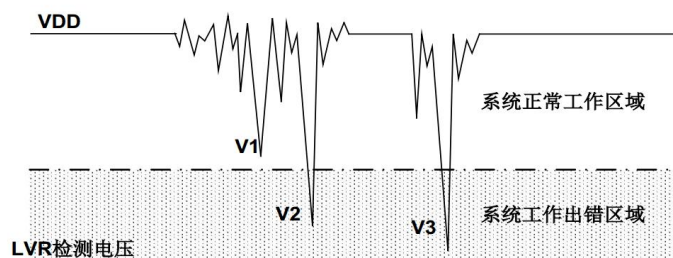
执行程序:上电结束，程序开始运行。

看门狗定时器应用注意事项：

- 1、对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；
- 2、不能在中断中对看门狗清零，否则无法检测到主程序跑飞的情况；
- 3、程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。

3.10.4 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电复位可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVR 电压，因此系统维持在死区。

AC 运用中：

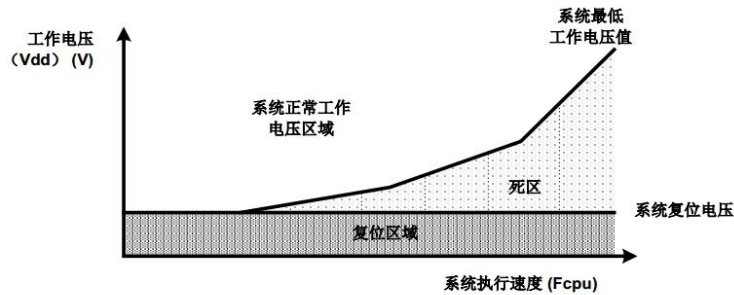
系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。



在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3.10.5 工作频率与 LVR 低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，再选择工作频率的时候，要选择相应的 LVR 复位电压点。如下表：

工作频率	LVR 复位电压点
IRC-8M, 2Clock	LVR=2.4V
IRC-8M, 4Clock	LVR=1.8V
IRC-8M, 8Clock	LVR=1.8V
IRC-1M, 2Clock	LVR=1.8V
IRC-910KHz, 2Clock	LVR=1.8V

注：此工作频率和 LVR 复位电压点的对应值，只是推荐值，用户在使用过程中，根据用于的具体应用场合可以适当的调整复位电压点。

3.10.6 寄存器上电复位值

地址	名称	复位值	地址	名称	复位值
0x0	R0	-	0x0	-	-
0x1	R1 (TCC)	0000 0000	0x1	-	-
0x2	R2 (PC)	0000 0000	0x2	CONT	0011 1111
0x3	R3 (STATUS)	0001 1uuu	0x3	-	-
0x4	RSR	11uu uuuu	0x4	-	-
0x5	PORT5	0000 1111	0x5	IOC5	0000 1111



0x6	PORT6	1111 1111	0x6	IOC6	1111 1111
0x7	LVDCON	0000 0000	0x7	-	-
0x8	PWMCON	0000 0000	0x8	-	-
0x9	PRD	0000 0000	0x9	PHDCR	1111 1111
0xA	PDC1	0000 0000	0xA	-	-
0xB	PDC2	0000 0000	0xB	PDCR	1111 1111
0xC	PDC3	0000 0000	0xC	-	-
0xD	ICIECR	0000 0000	0xD	PHCR	1111 1111
0xE	CPUCON	0000 0000	0xE	WDTCR	1011 1111
0xF	中断标志寄存器	0000 0000	0xF	IMR	0000 1111
0x10 ~0x3 f	通用寄存器	uuuu uuuu			

U=表示未知状态;



3.11 系统时钟功能模块

JZ8PE1502H 内部集成了 3 种振荡器，可以通过 option 实现配置。具体参看下表：

振荡器类型	说明
IRC（内置 RC 振荡器）	P64:GPIO； P65:GPIO
LXT（低速晶振）	
HXT（高速晶振）	

说明:HXT 和 LXT 之间的系统频率过度点在 400KHz 左右。

3.11.1 内部 RC 振荡器模式（IRC）

JZ8PE1502H 提供内部 RC 模式，频率可选 1MHz，8MHz，910Khz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

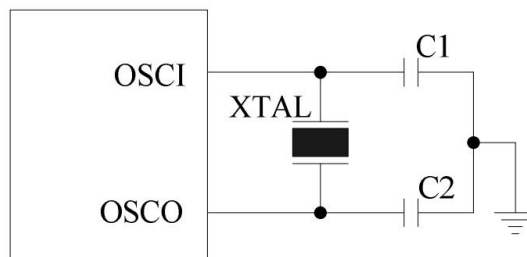
Fire	IRC 频率
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz
910 K	IRC 频率选为 910KHz

JZ8PE1502H 提供了多种分频选择，可以在 OPTION 中选择，适用于更多的场合。如下表：

Clocks	Clocks 分频
2clock	分频为 2clock
4clock	分频为 4clock
8clock	分频为 8clock
16clock	分频为 16clock
32clock	分频为 32clock

3.11.2 外部晶体振荡器/陶瓷谐振器（XT）

在大多数应用中，引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

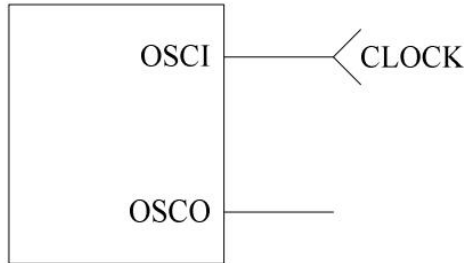
振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷振荡器	HXT	455KHz	100-200	100-200
晶体振荡器	LXT	32.768KHz	5-40	5-40



	HXT	1 MHz	5-30	5-30
		4 MHz	5-30	5-30

注:以上数据仅供参考,一切以实物测试为准。

JZ8PE1502H 还可被 OSCI 引脚上的外部时钟信号驱动,其应用图如下:



外部时钟示意图

3.11.3 时钟模块应用说明

内部振荡器是最常用的振荡模式,该模式可以省去外接的电路;

在使用外打时钟输入时,时钟信号要从 OSCI 输入,OSCO 可以悬空;

使用外部振荡器并且大于 400KHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器,小于 400KHz 时选外部低速振荡器;

外界条件不同,各振荡模式的时钟频率可能会有轻微差别,使用时应根据需要合理选择。

JZ8PE1502H 可提供 7pf, 9pf 和 12.5pf3 种容值的内置电容,当选择 RTC 模式时,可在烧录 option 中进行相应的配置。



4 CODE OPTION 寄存器

CODE OPTION	选项	功能描述
看门狗	使能	看门狗 WDT 使能
	禁止	看门狗 WDT 禁止
Clocks 分频	2 Clocks	指令周期选择 2 Clocks
	4 Clocks	指令周期选择 4 Clocks
	8 Clocks	指令周期选择 8 Clocks
	16 Clocks	指令周期选择 16 Clocks
	32 Clocks	指令周期选择 32 Clocks
振荡方式	IRC 模式	选择内部 RC 振荡方式
	HXT 模式	选择高速晶振振荡方式
	LXT 模式	选择低速晶振振荡方式
IRC 频率	8M	IRC 频率选择 8M
	1M	IRC 频率选择 1M
	910K	IRC 频率选择 910K
复位电压	禁止	禁止低压复位
	LVR=1.2V	低压复位点选择 1.2V
	LVR=1.6V	低压复位点选择 1.6V
	LVR=1.8V	低压复位点选择 1.8V
	LVR=2.4V	低压复位点选择 2.4V
	LVR=2.7V	低压复位点选择 2.7V
	LVR=3.3V	低压复位点选择 3.3V
	LVR=3.6V	低压复位点选择 3.6V
LVR=4.3V	低压复位点选择 4.3V	
代码加密	使能	烧录模式数据加密
	禁止	烧录模式数据不加密
复位端口上拉	使能	使能 P63 端口上拉
	禁止	禁止 P63 端口上拉
P63 端口	GPIO	P63 作为通用 I/O 口
	GPI	P63 作为输入口
	RST	P63 作为外部复位端口



JZ8PE1502H 数据手册

复位时间	PWRT=WDT=4.5ms	唤醒建立时间=WDT 溢出时间（不分频）= 4.5ms
	PWRT=WDT=18ms	唤醒建立时间=WDT 溢出时间（不分频）= 18ms
	PWRT=WDT=72ms	唤醒建立时间=WDT 溢出时间（不分频）= 72ms
	PWRT=WDT=288ms	唤醒建立时间=WDT 溢出时间（不分频）= 288ms
	PWRT=140us, WDT=4.5ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=4.5ms
	PWRT=140us, WDT=18ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=18ms
	PWRT=140us, WDT=72ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=72ms
	PWRT=140us, WDT=288ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=288ms
查表范围	1/4K	可以在程序空间前 1/4K 查表
	1K	可以在程序空间 1K 内查表
端口特性	EMC	端口输入特性为施密特 EMC 特性（详细介绍见 3.3）
	SMT	端口输入特性为施密特 SMT 特性（详细介绍见 3.3）
	HSMT	端口输入特性为施密特 HSMT 特性（详细介绍见 3.3）
	INV	端口输入特性为反相器 INV 特性（详细介绍见 3.3）
P6 端口唤醒	独立控制	P6 端口独立控制唤醒（需设置 0x0d 寄存器）
	非独立控制	P6 端口非独立控制唤醒
RTC(选择 IRC 时有效)	禁止	双时钟功能禁止
	使能	双时钟功能使能
P5, P6 上下拉控制	屏蔽	屏蔽 P53 下拉, P5 上拉, P67-P64 下拉, P63 上拉
	使能	使能 P53 下拉, P5 上拉, P67-P64 下拉, P63 上拉, 软件可控制
驱动增强	禁止	端口驱动能力增强禁止
	使能	端口驱动能力增强使能
二级驱动增强	禁止	P60, P61, P62 二级增强灌电流输出禁止
	使能	P60, P61, P62 二级增强灌电流输出使能
晶振脚 内置电容选择 (RTC 使能有效)	内置电容关闭	晶振脚内置电容关闭
	内置电容 7pf	晶振脚内置电容 7pf
	内置电容 9pf	晶振脚内置电容 9pf
	内置电容 12.5pf	晶振脚内置电容 12.5pf
休眠唤醒设置	兼容老 153 系列	兼容原 153 系列唤醒
	休眠时允许多种唤醒源同时唤醒	可判断唤醒源类别
IRC 振荡器	VDD	IRC 振荡器选择 VDD 电压



JZ8PE1502H 数据手册

电压源选择	LDO	IRC 振荡器选择 LDO 电压
POWER (IRC 电压源 选择 VDD)	HIGH	VDD 供电电压接近 5V 时选择 HIGH
	LOW	VDD 供电电压接近 3.3V 时选择 LOW



5 芯片电气特性

5.1 芯片极限参数

工作温度(°C):	(√) E:-40~85;
存储温度(°C):	(√) -65~+150;
极限电压(V)	(√) 其它 <u>-0.3~6;</u>
极限输入电压 (V)	(√) 其它 <u>GND-0.3~VDD+0.5;</u>
极限输出电压 (V)	(√) 其它 <u>GND-0.3~VDD+0.5;</u>

5.2 芯片直流参数

(T=25°C, VDD=5V)

符号	参数说明	条件	最小	典型	最大	单位
IRC1	IRC1 (校正后)	OPTION 选择 8MHz	-	8	-	MHz
IRC2	IRC2 (校正后)	OPTION 选择 1MHz	-	1	-	MHz
IRC3	IRC3 (校正后)	OPTION 选择 910KHz	-	910	-	KHz
IOH1	输出高电平驱动 (除 P63 外)	Ioh=4.4V	4.5	5	5.5	mA
IOH2	输出高电平驱动 (P63)	Ioh=4.4V	11	12	-	mA
IOH3	输出高电平驱动增强 (除 P63)	Ioh=4.4V	12	13	14	mA
IOL1	I0 输出低电平驱动 (除 P63)	Iol=0.6V	16	17	18	mA
IOL2	I0 输出低电平驱动 (P63)	Iol=0.6V	13	14	15	mA
IOL3	I0 输出低电平驱动增强(除 P63)	Iol=0.6V	25	26	28	mA
IOL4	I0 输出低电平驱动增强 (P63)	Iol=0.6V	19	20	21	mA
IOL5	二级驱动增强 (P60, P61, P62)	Iol=0.6V	32	33	34	mA
IPH1	上拉电流 (除 P63 外)	上拉使能, 输入接地	80	118	130	μA
IPH2	上拉电流 (P63)	上拉使能, 输入接地	80	100	130	μA
IPD	下拉电流 (除 P63 外)	下拉使能, 输入接 VDD	45	55	80	μA
Isb1	关机电流 1	输入接 VDD, 输出悬空, WDT、LVD 禁用	-	-	1	μA
Isb2	关机电流 2	输入接 VDD, 输出悬空, WDT 使能, LVD 禁用	-	-	12	μA
Isb3	关机电流 3	RTC 模式, 内部电容 12.5pf	-	-	15	μA
Iop2	工作电流 1 (VDD=5V)	IRC=8MHz 2clock	-	1.2	1.5	mA
Iop2	工作电流 2 (VDD=5V)	IRC=1MHz 2clock	-	0.2	0.3	mA
LVR	低电压复位电压	选择 LVR 复位点	Vlvr-0.2	Vlvr	Vlvr+0.2	V
LVD1	低压检测电压 (4v 以内)	选择检测点为 Vlvd	Vlvd-0.1	Vlvd	Vlvd+0.1	V
LVD2	低压检测电压	选择检测点为 Vlvd	Vlvd-0.15	Vlvd-0.05v	Vlvd+0.1	V

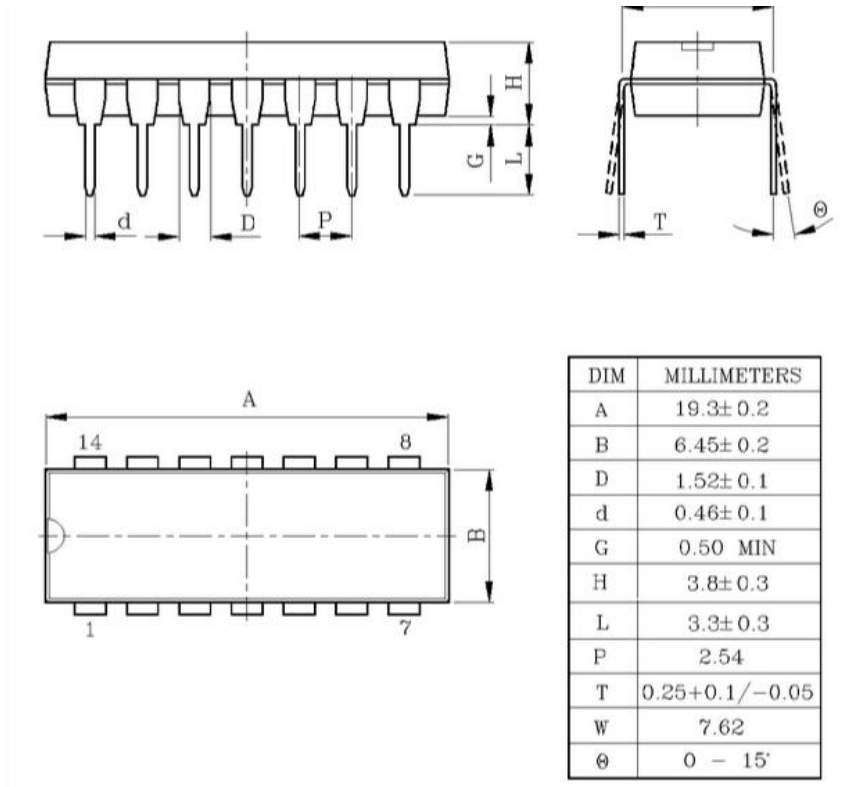
注:LVD 会受供电电源影响, 以上参数仅做参考, 请以目标样机实测数据为准。



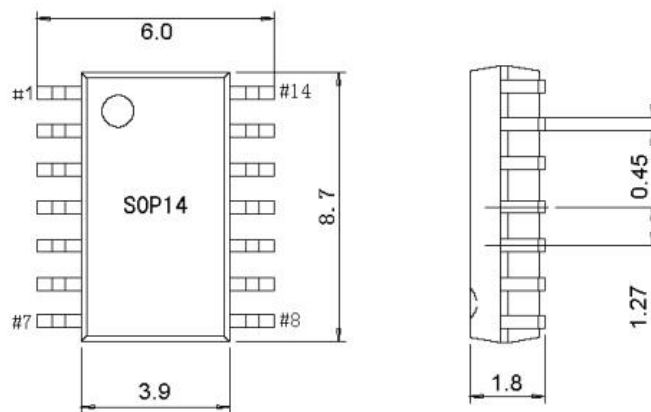
6 封装尺寸信息

6.1 14PIN 封装尺寸

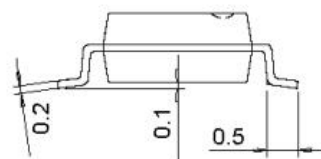
单位: mm



DIP14 封装尺寸



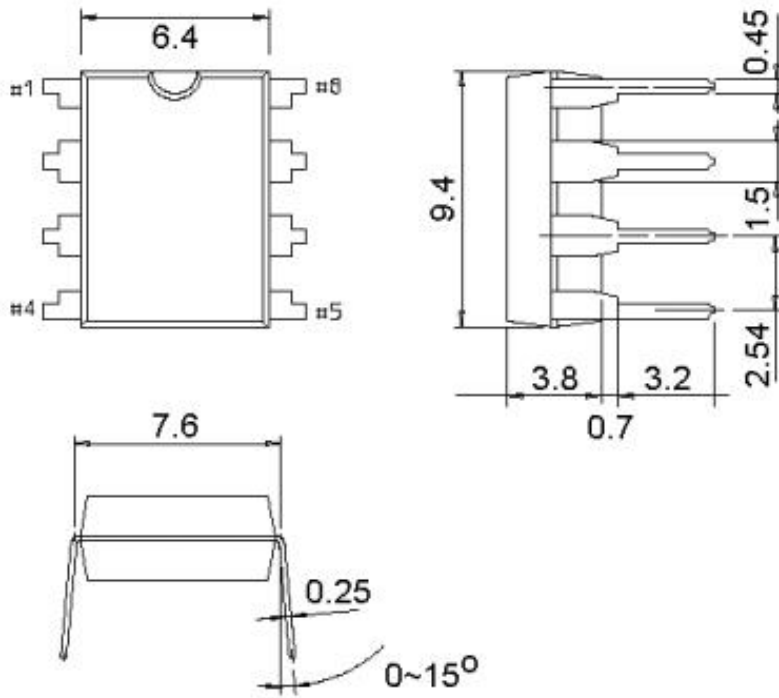
SOP14 封装尺寸



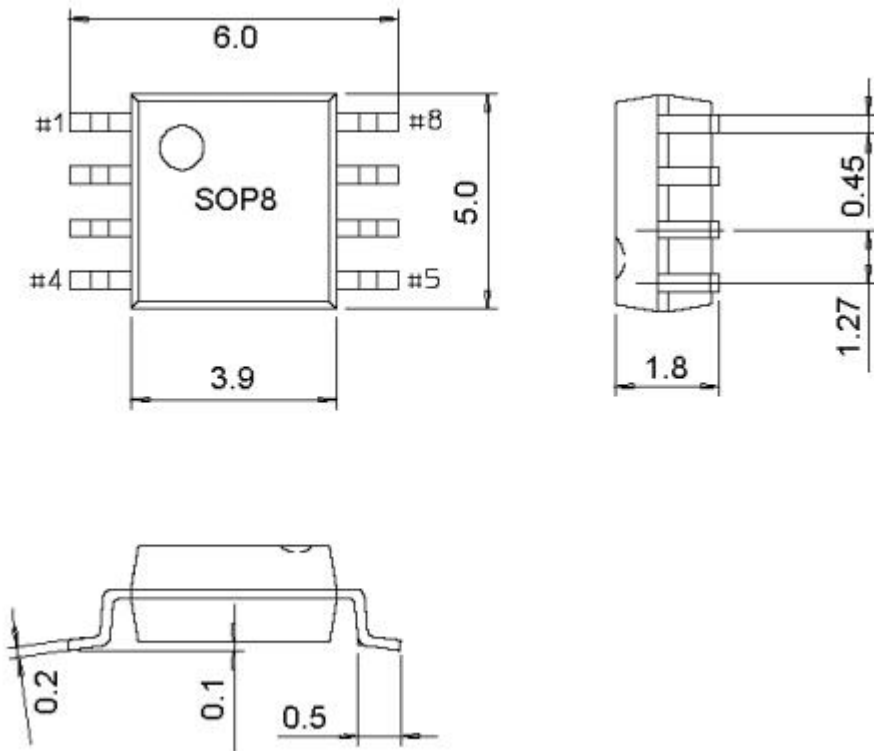


6.2 8PIN 封装尺寸

单位: mm



DIP8 封装尺寸



SOP8 封装尺寸