



JZ8P1801

8 位 OTP 微控制器

用户数据手册

版本号 V1.3



修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	
V1.1	修改输入电压	
V1.2	修改脚位说明	
V1.3	修改内容格式	



目 录

1 综述.....	4
2 产品特性.....	4
2.1 CPU 配置.....	4
2.2 I/O 配置.....	4
2.3 工作电压范围.....	4
2.4 工作温度范围.....	4
2.5 工作频率范围.....	4
2.6 低压复位.....	4
2.7 中断源.....	4
2.8 可编程 WDT 预分频器.....	4
2.9 封装类型.....	4
3 引脚说明.....	5
3.1 引脚分配.....	5
3.2 引脚描述.....	5
4 存储器结构.....	6
4.1 程序存储器结构.....	6
4.2 数据存储区结构.....	6
4.3 RPAGE 存储器.....	7
4.3.1 R0（间接地址存储器）.....	7
4.3.2 TMR（TMR 计数器）.....	7
4.3.3 PCL（程序计数器）.....	7
4.3.4 STATUS（状态寄存器）.....	8
4.3.5 FSR（RAM 选择寄存器）.....	9
4.3.6 P6（PORT6 数据寄存器）.....	9
4.3.7 TabH（查表地址寄存器高位）.....	9
4.3.8 RD-WUCON（输入端口状态变化中断使能控制寄存器）.....	9
4.3.9 RF-INTFLAG（中断状态寄存器）.....	10
4.3.10 R10~R3F 通用寄存器.....	10
4.4 IOPAGE 寄存器.....	10
4.4.1 ACC（加法器）.....	10
4.4.2 CONT（控制寄存器）.....	10
4.4.3 IOCP6（I/O 控制寄存器）.....	11
4.4.4 IOC9-IOCPhD（上下拉控制寄存器）.....	11
4.4.5 IOCB-IOCPD（下拉控制寄存器）.....	11
4.4.6 IOCD-IOCPH（上拉控制寄存器）.....	11
4.4.7 IOCE-IOCWDT（看门狗控制寄存器）.....	12
4.4.8 IOCF-IOCINT（中断使能寄存器）.....	12
5 JZ8P1801 主要功能模块.....	13
5.1 I/O 功能.....	13
5.1.1 P6 口概述.....	13
5.2 TCC/WDT 和预分频器.....	14



5.3 睡眠与唤醒	15
5.3.1 功能概述	15
5.3.2 睡眠与唤醒应用说明	15
5.3.3 唤醒时间	15
5.4 中断功能	16
5.4.1 功能概述	16
5.4.2 中断功能应用说明	17
5.5 复位功能	17
5.5.1 功能概述	17
5.6 时钟模块	18
5.7 超低压功能	18
6 代码选项寄存器	19
7 JZ8P1801 性能参数	20
7.1 极限参数	20
7.2 直流参数	20
8 附录	21



1 综述

JZ8P1801 是一款基于 CMOS 技术的高速度低功耗的 8 位 MCU, 内置 1K×14Bit 一次性可编程只读存储器 (OTP-ROM), 并提供保护位用以保护指令码。

JZ8P1801 的核心是一个嵌入式 8 位 CPU, 片内包含 48×8Bit 的 SRAM, 6 个输入, 5 个输出口, 中断控制器、片内 RC 振荡器、定时器/计数器、看门狗电路。它是一个功能强大的微控制电路。作为一颗通用 MCU, JZ8P1801 主要应用于家电、消费性电子产品及工业自动化控制。

2 产品特性

2.1 CPU 配置

- 1K×14-Bit OTP ROM
- 48×8-Bit SRAM
- 5 级堆栈空间
- 小于 2 mA (4MHz/5V)

2.2 I/O 配置

- 1 组双向 I/O 端口: P6
- 3 个 I/O + 1 个 I 口引脚
- 唤醒端口: P6
- 3 位可编程上拉 I/O 引脚
- 3 位可编程下拉 I/O 引脚
- 外部中断: P60
- P63 可配置上拉和开漏极输出
- 端口驱动可增强

2.3 工作电压范围

- 工作电压范围:
0.9V~5V (0°C~70°C)

2.4 工作温度范围

- 工作温度 -40°C~85°C

2.5 工作频率范围

- 内置 RC 振荡电路:
455KHz
1MHz
4MHz
8MHz

- 时钟周期分频选择:

2Clock
4Clock
8Clock
16Clock

2.6 低压复位

- 1.2V±0.3V、1.8V±0.3V
- 1.6V±0.3V、2.4V±0.2V
- 2.7V±0.2V、3.6V±0.2V
- 3.9V±0.2V

2.7 中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断

2.8 可编程 WDT 预分频器

- 可编程 WDT 时间
4.5ms
18ms
72ms
288ms

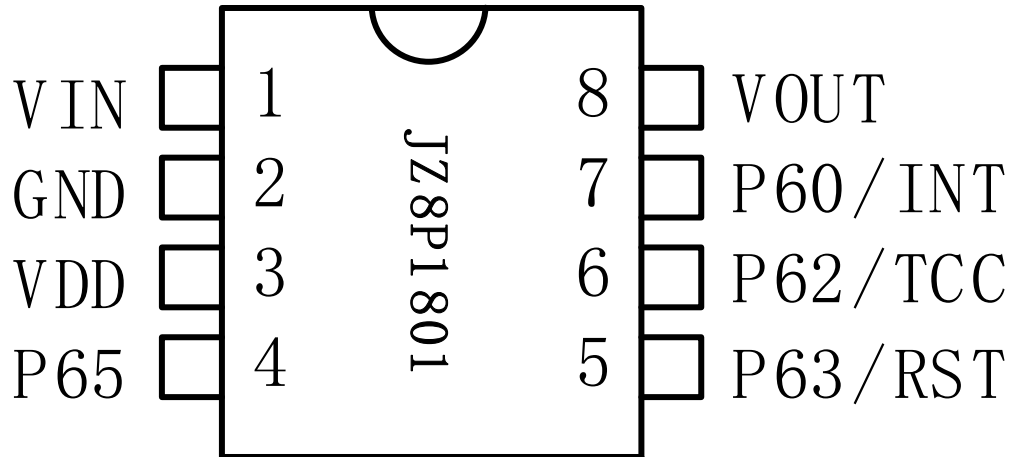
2.9 封装类型

- JZ8P1801C0-SOP8;



3 引脚说明

3.1 引脚分配



JZ8P1801 脚位图

3.2 引脚描述

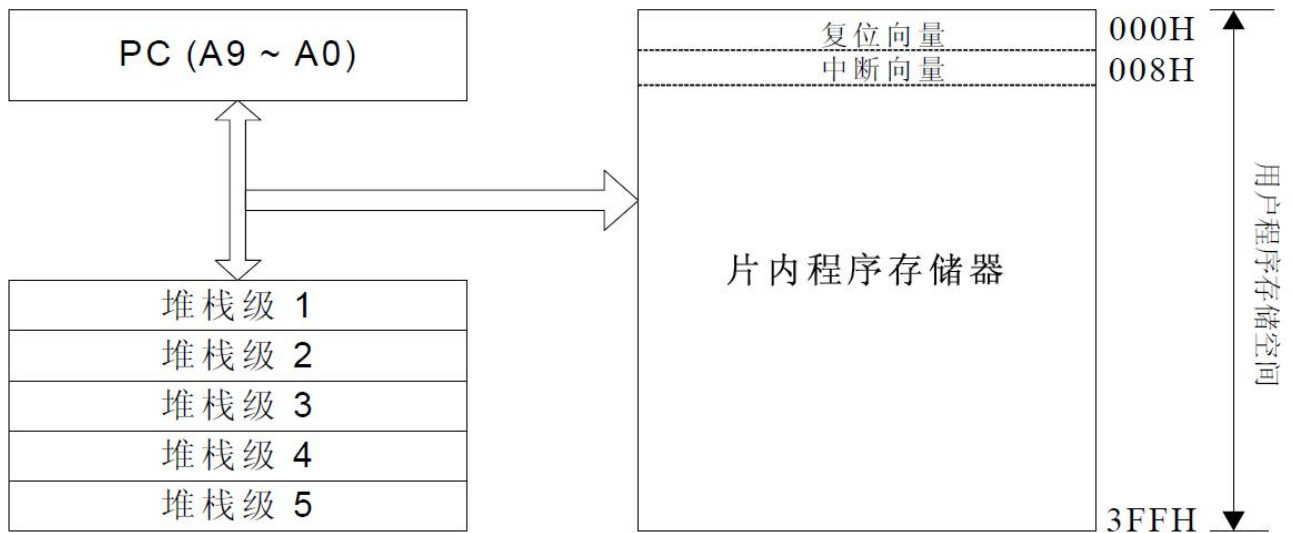
引脚序号	引脚名称	功能	属性
1	VIN	低压电源	--
2	GND	地	电源负极
3	VDD	电源	电源正极
4	P65	通用 I/O 口/可编程上拉/下拉 引脚状态发生改变时，从休眠模式唤醒	GPIO 口
5	P63/RST	通用 I 口/复位脚 烧录配置上拉 引脚状态发生改变时，从休眠模式唤醒	GPI 口
6	P62/TCC	通用 I/O 口/可编程上拉/下拉 外部输入做 TCC 基准 引脚状态发生改变时，从休眠模式唤醒	GPIO 口
7	P60/EXINT	通用 I/O 口/可编程上拉/下拉 外部中断输入端口 引脚状态发生改变时，从休眠模式唤醒	GPIO 口
8	VOUT	3.3v 输出	--



4 存储器结构

4.1 程序存储器结构

JZ8P1801 芯片具有 1K×14Bit 的 ROM 空间。复位向量是 000H，中断向量是 008H。



JZ8P1801 程序存储区映射

4.2 数据存储区结构

数据存储区分成 RPAGE 寄存器和 IOPAGE 寄存器。RPAGE 寄存器包括通用寄存器和操作寄存器，操作寄存器位于低地址单元 00H~0FH，通用寄存器地址范围为 10H~3FH。IOPAGE 寄存器只包括特殊功能寄存器，地址范围为 00H~0FH。

数据存储区结构分布如下表所示：

地址	RPAGE 寄存器	IOPAGE 寄存器
0x00	R0 (间接寻址寄存器)	保留
0x01	TMR (TMR 计数器)	CONT (控制寄存器)
0x02	PCL (程序计数器)	保留
0x03	STATUS (状态寄存器)	保留
0x04	FSR (RAM 选择寄存器)	保留
0x05	保留	保留
0x06	P6 (PORT6 端口数据寄存器)	IOCP6 (P6 端口控制寄存器)
0x07	TabH (查表指令的地址寄存器高八位)	保留
0x08	保留	保留
0x09	保留	IOCPHD (上下拉控制寄存器)
0x0A	保留	保留



0x0B	保留	IOCPD (下拉控制寄存器)
0x0C	保留	保留
0x0D	WUCON (输入状态变化中断使能控制寄存器)	IOCPH (上拉控制寄存器)
0x0E	保留	IOCWDT (看门狗)
0x0F	INTFLAG (中断状态寄存器)	IOCINT (中断使能寄存器)
0x10 ~ 0x3F	通用寄存器	保留

4.3 RPAGE 存储器

4.3.1 R0 (间接地址存储器)

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 FSR 作为指针的指令，实际对应的是以 RAS (RAM 选择寄存器) 低 6 位 RAS<5:0>为地址所指向的数据。

4.3.2 TMR (TMR 计数器)

TMR 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TMR 可读可写。

TMR 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作 (CONT. 4 位定义)。如果清零 PAB 位 (CONT. 3), 会有一个预分频器分配给 TMR, 当 TMR 寄存器被写入一个值时, 预分频器的值会被清 0。

4.3.3 PCL (程序计数器)

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中, PC 将指令指针推进程序存储器, 然后指针自增 1 以进入下一个周期。JZ8P1801 拥有一个 10 位宽度的程序计数器 (PC), 其低字节来自可读写的 PCL, 高位 (PC<9:8>) 不可读。JZ8P1801 堆栈是用于记录程序返回的指令指针。当调用子程序时, PC 将指令指针压栈。待执行返回指令时, 堆栈将指令指针送回 PC, 继续进行原来的进程。JZ8P1801 拥有 5 级堆栈, 该堆栈既不占程序存储空间也不占数据存储空间, 并且堆栈指针不能读写。

- (1) 寄存器 PC 和内置 5 级堆栈都是 10 位宽, 用于 1K×14Bit ROM 的寻址, JZ8P1801 程序存储区映射。
- (2) 一般情况下, PC 自增一; 复位时, PC 的所有位都被清零。
- (3) 指令“JMP”允许直接载入低 10 位地址, 因此, JMP 指令可以实现当前页面内 (1K 范围内) 任意位置跳转。指令“JMP”直接载入低 10 位地址, 同时将 PC+1 压栈, 子程序入口地址只要在同一页面内就能够被准确定位。
- (4) 执行“RTS” (RTSA #k, RTI) 指令时将栈顶数据送到 PC。
- (5) 当设置 PC 查表能力为 1/4K 时 (设置 OPTION 选项中 PC_256 为 0~256), 任何对 PC 的内容进行直接修改的指令 (如: “MOV PCL”, “CLR PCL, 6”) 都将引起 PC 的第 9、10 位被清零。因此, 产生的跳转限于同一页面的前 256 个地址, 改变 PC 内容的指令需要 2 个指令周期。

当设置 PC 查表能力为 1K 时 (设置 OPTION 选项中 PC_256 为 0~1024), 任何对 PC 值进行改写的指令会相应影响 PC 最高两位。因此, 产生的跳转可扩充至 1K 范围。



- (6) 发生中断时，程序计数器的值将发生改变，PC 赋值为 008。
- (7) 堆栈的工作犹如循环缓冲器，也就是说，压栈 5 次之后，第 6 次压栈时进栈的数据将覆盖第 1 次进栈的数据，而第 7 次压栈时进栈的数据将覆盖第 2 次进栈的数据，依此类推。

4.3.4 STATUS（状态寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GB1	GB0	T	P	Z	DC	C

Bit7 RST: 复位类型标志位:

- 0: 其它复位类型
- 1: 引脚状态改变引起唤醒

Bit<5:6> GB<1:0>: 通用读写位，用户自定义使用

Bit4 T: 时间溢出位

- 0: WDT 溢出
- 1: 执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0

Bit3 P: 掉电标志位:

- 0: 执行“SLEEP”指令
- 1: 上电复位或执行“WDTC”指令

Bit2 Z: 零标志位: 算术或逻辑操作结果为零时置为“1”

- 0: 当算术或者逻辑运算结果不为 0
- 1: 当算术或者逻辑运算结果为 0

Bit1 DC: 辅助进位标志:

- 0: 执行加法运算时，低四位没有进位产生; /执行减法运算时，低四位产生借位
- 1: 执行加法运算时，低四位有进位产生; /执行减法运算时，低四位没产生借位



Bit0 C: 进位标志:

0: 执行加法运算时, 高四位没有进位产生; /执行减法运算时, 高四位产生借位

1: 执行加法运算时, 高四位有进位产生; /执行减法运算时, 高四位没产生借位

4.3.5 FSR (RAM 选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	FSR<5:0>					

FSR<6:7> 一直保持为“1”, RAS 寄存器可读可写

FSR<5:0> 在间接寻址方式中用于选择 RAM 寄存器地址 (寻址范围: 0X00~0X3F)

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 FSR 中对应地址的寄存器。

4.3.6 P6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	P65	--	P63	P62	--	P60

端口输入/输出寄存器, P6 端口为 4 位

P6 为可读可写寄存器

4.3.7 TabH (查表地址寄存器高位)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	PC<9>	PC<8>

使用查表指令时, TabH 寄存器对应地址寄存器的高位

4.3.8 RD-WUCON (输入端口状态变化中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	WUEN<5>	--	WUEN<3>	WUEN<2>	--	WUEN<0>

Bit<7:6> 未使用(可读写)

Bit5 WUEN<5>: P65 输入状态变化中断使能控制位

Bit3 WUEN<3>: P63 输入状态变化中断使能控制位

Bit2 WUEN<2>: P62 输入状态变化中断使能控制位

Bit0 WUEN<0>: P60 输入状态变化中断使能控制位

1: 使能

0: 禁止

注意: 在 OPTION 中端口唤醒设置选择中, 如果选择端口非独立唤醒, 则端口唤醒不受 WUCON 寄存器控制;其他两个选项, 需要对 WUCON 做处理, 否则端口无法唤醒。



4.3.9 RF-INTFLAG（中断状态寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	EXIF	ICIF	TCIF

Bit<7:3> 固定为 0

Bit2 EXIF: 外部中断标志;
由 EXINT 引脚上的下降沿置 1, 软件清 0

Bit1 ICIF: P6 口输入变化中断标志;
P6 口输入变化置 1, 软件清 0

Bit0 TCIF: TCC 溢出中断标志;
TCC 溢出置 1, 软件清 0
1: 表示有中断请求
0: 表示无中断请求

INTFLAG 可软件清 0, 但不可软件置 1

注意: 读 INTFLAG 的结果是 INTFLAG 和 IOCWDT 相与的结果。

4.3.10 R10~R3F 通用寄存器

8 位通用寄存器, 可读可写。

4.4 IOPAGE 寄存器

4.4.1 ACC（加法器）

用于内部数据传输, 指令操作数暂存, 此累加器不可寻址。

4.4.2 CONT（控制寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit7 未使用

Bit6 INT: 中断使能标志位
0: 由 DISI 指令或硬件中断屏蔽
1: 由 ENI/RETI 指令使能中断

Bit5 TS: TCC 信号源选择位
0: 内部指令周期时钟
1: 外部输入信号 (此时 P62/TCC 置为输入)

Bit4 TE: TCC 信号边沿选择位
0: TCC 引脚信号发生由低到高变化加 1
1: TCC 引脚信号发生由高到低变化加 1

Bit3 PAB: 预分频器分配位
0: TCC
1: WDT



Bit<2:0> PSR2~PSR0: TCC/WDT 预分频选择控制位:

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

4.4.3 IOCP6 (I/O 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	P6<5>	--	P6<3>	P6<2>	--	P6<0>

1: 定义对应 I/O 引脚为高阻输入状态,

0: 定义对应 I/O 为输出状态,

IOCP6 为可读可写寄存器

4.4.4 IOC9-IOCPHD (上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	PD<5>	--	--	--	--	--

Bit5 PD<5>: P65 引脚下拉使能控制位

0: 使能

1: 禁止

IOCPHD 为可读可写寄存器

4.4.5 IOCB-IOCPD (下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	PD<2>	--	PD<0>

Bit2 PD<2>: P62 管脚的下拉使能控制位

Bit0 PD<0>: P60 管脚的下拉使能控制位

0: 内部下拉使能

1: 内部下拉禁止

IOCPD 为可读可写寄存器

4.4.6 IOCD-IOCPH (上拉控制寄存器)



Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	PH<5>	--	--	PH<2>	--	PH<0>

Bit5 PH<5>: P65 管脚的上拉使能控制位

Bit2 PH<2>: P62 管脚的上拉使能控制位

Bit0 PH<0>: P60 管脚的上拉使能控制位

0: 内部上拉使能

1: 内部上拉禁止

IOCPH 为可读可写寄存器

4.4.7 IOCE-IOCWDT (看门狗控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	1	1	1	1	1	1

Bit7 WDTE: 看门狗定时器使能控制位

0: WDT 禁止

1: WDT 使能

Bit6 EIS: P60 管脚 (INT) 功能控制位

0: P60, 双向 I/O 管脚,

1: INT, 外部中断管脚。在这种情况下, P60 的 I/O 控制位 (P6CR 的 Bit0) 必须设为“1”。当 EIS 为“0”时, EXINT 通道被屏蔽。为“1”时, EXINT 管脚的状态可以由 P60 端口读取。

IOCWDT 为可读可写寄存器

4.4.8 IOCF-IOCINT (中断使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	EXIE	ICIE	TCIE

Bit2 EXIE: 外部中断使能位

0: 外部中断禁止

1: 外部中断使能

Bit1 ICIE: P6 口输入状态变化中断使能位

0: P6 口输入状态变化中断禁止

1: P6 口输入状态变化中断使能

Bit0 TCIE: TMR 中断使能位

0: TMR 中断禁止

1: TMR 中断使能

IOCINT 为可读可写寄存器



5 JZ8P1801 主要功能模块

5.1 I/O 功能

JZ8P1801 有 1 组双向 I/O 端口，共 4 个输入，3 个输出，大部分 I/O 可复用为其它功能。

3 个可编程上拉 I/O 引脚：P6.0, P6.2, P6.5;

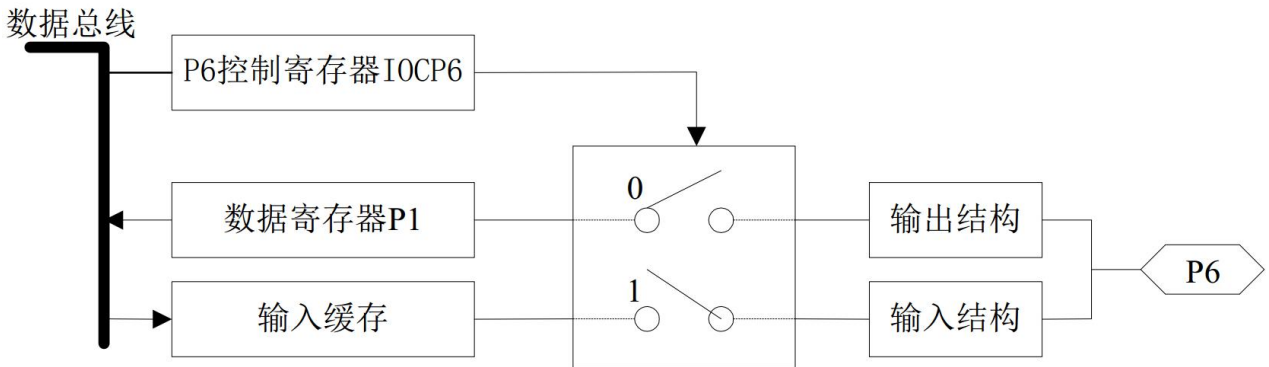
3 个可编程下拉 I/O 引脚：P6.0, P6.2, P6.5;

P6.3 口的上拉功能通过 OPTION 中复位端口上拉选项设置;

P6.3 口的开漏输出功能通过 OPTION 中 P63 选项的 GPIO 口选项设置;

5.1.1 P6 口概述

P6 口有 3 个 I/O 口和 1 个 I 口。输入特性可选（SMT 型/HSMT 型/INV 型/EMT 型，可以通过 OPTION 中的端口特性选项进行相应配置）。当作为输入端口时，每个端口的状态变化既可以形成中断，也可以对系统进行唤醒，P6.0 口还可以作为外部中断的输入端口。P6.3 口仅作为输入口，其上拉功能通过 OPTION 中复位端口上拉选项设置。端口结构示意图如下所示：



端口结构示意图

相关寄存器：

IOCP6: P6 端口控制寄存器

IOCPD: 下拉控制寄存器

IOCPH: 上拉控制寄存器

IOCPHD: 上下拉控制寄存器

关于端口特性的说明

端口	SMT	HSMT	EMT	INV
P6.3	0.55*VDD	0.2*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.55*VDD
P6.0, P6.2	0.2*VDD/0.6*VDD	0.2*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.55*VDD
P6.5	0.2*VDD/0.6*VDD	0.2*VDD/0.8*VDD	0.36*VDD	0.55*VDD



5.2 TCC/WDT 和预分频器

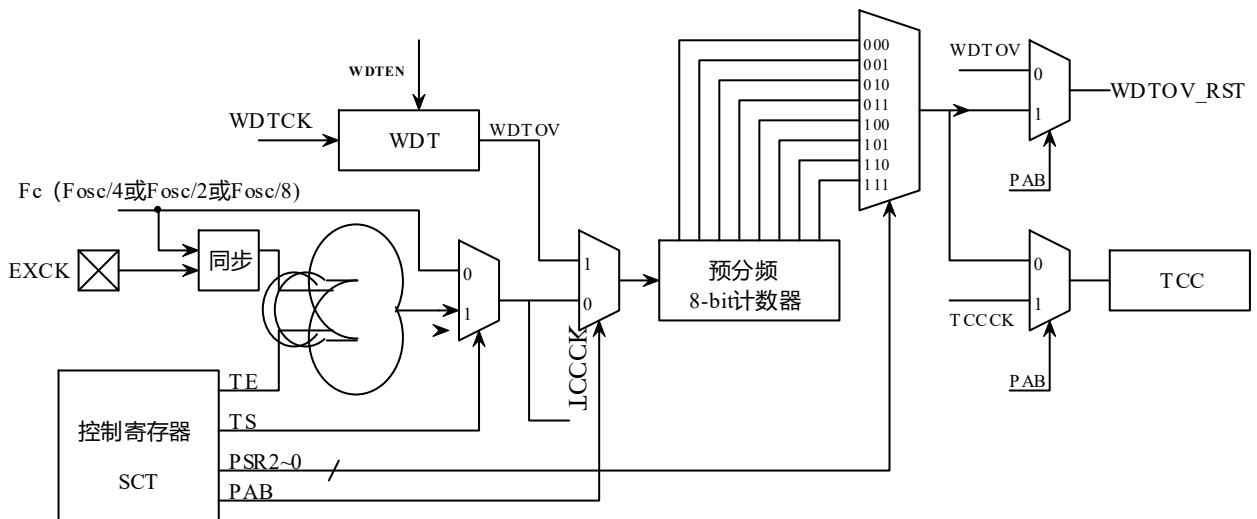
TCC 是 8 位的计时/计数器寄存器。TCC 时钟源可以是内部时钟或者外部时钟（由 TCC 引脚输入，触发沿可选择）。如果是内部时钟，每个指令周期 TCC 加 1（无预分频器）。 $CLK=F_{osc}/2$ 或者 $CLK=F_{osc}/4$ 或者 $CLK=F_{osc}/8$ 取决于 CONT 的操作位 Tcpu。如果 $Tcpu=2*T_{osc}$ ，则 $CLK=F_{osc}/2$ ，如果 $Tcpu=4*T_{osc}$ ，则 $CLK=F_{osc}/4$ 。如果 TCC 的信号源来自于外部时钟输入，TCC 管脚的下降沿或上升沿触发时 TCC 加 1。如果没有分频控制，每个指令周期（选择内部时钟）或每个时钟周期（外部时钟），计数器实现加 1，计数溢出可以形成中断信号。当选择外部时钟为 TCC 时钟源，外部时钟的最高频率不能超过一个指令周期（无预分频时）。WDT 是一个 12-bit 上行计数器，有两重使能控制信号控制（OPTION 中的 WDT 使能控制和 WDE 寄存器中的 WDE 控制位）。计数时钟由单独的振荡器提供，因此在系统进入到静态模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统实现唤醒/复位。需要说明的是 WDT 计数溢出与 WDT 复位是两个不同的概念。

WDT 溢出是指 12-bit 的计数器计数溢出；溢出信号可以形成中断，也可以用于睡眠唤醒。WDT 复位是指经过预分频后 WDT 计数溢出，此时 WDT 计数器的长度可能是 12~19-bit（具体与预分频设置情况有关），WDT 复位信号可以使系统执行复位动作。

从 WDT 与预分频的结构来看，WDT 溢出不一定会造成系统复位，但是系统复位一定是发生了 WDT 溢出事件。

分频器：系统提供一个 8-bit 计数器作为 TCC/WDT 的分频器，在同一时间里只能作为 TCC 或 WDT 其中一个的分频器，可以通过软件实现选择，这由 SCT 寄存器的 PAB 位决定。PSR0~PSR2 位确定分配系数。若分配给 TCC，则每次写 TCC 均将预分频器将被清 0。若分配给 WDT 使用，WDT 和预分频器均在执行指令 CWDT 和 SLEEP 时清 0。在使用中需要注意，分频器分配好以后再给 RTC 赋值，确保定时准确。

三者关系，如下图所示：



三者关系图

相关寄存器：

IOCWDT：看门狗和 LVD 控制寄存器

CONT：控制寄存器



5.3 睡眠与唤醒

5.3.1 功能概述

芯片执行“SLEEP”指令可以转到休眠模式（低功耗模式）。进入休眠模式时，系统时钟停止，所有模块停止工作，WDT（若使能）清0，但继续运行。单片机可被如下情况唤醒：

- (1) RST 引脚上输入的外部复位信号
- (2) WDT 复位（若使能）
- (3) P6 的输入状态改变（如果设置有效）
- (4) WDT 溢出（不复位）（若使能）

相关寄存器：

INTFLAG：中断使能寄存器

IOCINT：输入状态变化中断使能控制寄存器

5.3.2 睡眠与唤醒应用说明

前两种唤醒使得系统进行了一次复位，终止了睡眠前的执行的所有程序，RCFG 的 T、P 标志位可以用来确定复位源；后 2 种唤醒方式则保持了程序的延续性。可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转（SLEEP 前执行 ENI，跳转到中断向量（0X08））。

如果需要执行 P6 口输入状态改变的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、必须保证 P6 口是输入状态；
- 2、必须保证 OPTION 中 WDT 选项设置为使能；
- 3、软件禁用 WDT（WDTE=0）；
- 4、读 P6 口（MOV PORT6, PORT6）；
- 5、设置全局中断使能信号（执行 ENI/DISI 指令）；
- 6、打开中断使能信号（ICIE=1）；
- 7、打开二级中断使能控制信号（WUCON 对应设置为高电平）
- 8、进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 P6 口的输入状态发生改变，系统就可以被唤醒。唤醒后需要注意：

- a、如果睡眠前执行的是 ENI，则唤醒前将 PC 压栈，唤醒后 PC 指向 0x08，待唤醒子程序执行完毕，继续原来的进程。
- b、如果睡眠前执行的是 DISI，则唤醒后 PC 继续睡眠前的进程。
- c、唤醒后，WDT 自动使能。如果不需要 WDT，则应通过软件禁用。
- d、为了避免 P6 口输入状态改变中断进入中断向量时或用于唤醒 MCU 时有复位发生，WDT 分频系数>2(推荐设置为最大)。

5.3.3 唤醒时间

系统有多种时钟供选择，考虑时钟性能的差异，起振时间也不同，不同的时钟源，选择不同的唤醒时间，保证系统能够在唤醒后能够正常工作。



唤醒建立时间比较表:

类型	RC 模式	
	PWRT=140uS	PWRT=WDT
RESET 脚输入低电平	135us4	18ms3
WDT 溢出	18ms3*分频系数+135us4	18ms3*分频系数+18ms3
P6 口输入状态改变	135us4	18ms3

说明:

- 1、包括内部振荡模式;
- 2、可通过 option-SUT 选项设置为 4.5ms, 18ms, 72ms, 288ms;
- 3、RC 模式下最长时间间隔;

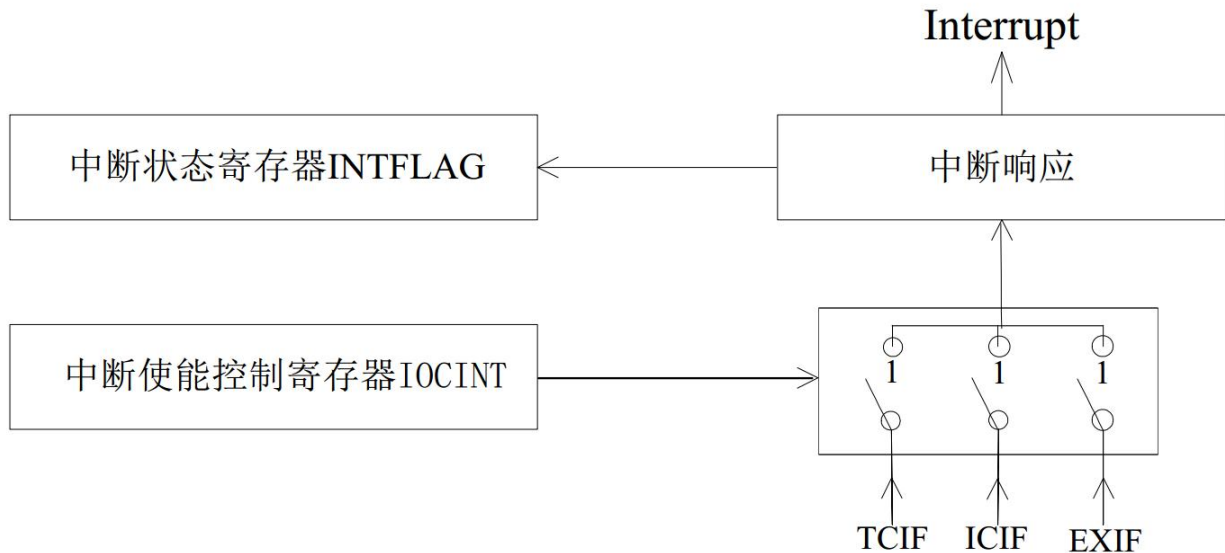
5.4 中断功能

5.4.1 功能概述

JZ8P1801 有以下 3 种硬件中断:

- (1) TCC 溢出中断
- (2) P6 端口输入状态改变中断
- (3) 外部中断 (P6.0/ EXINT 引脚)

JZ8P1801 芯片只有一个中断入口地址: 008H, 中断之间并无优先级。在进入中断后, 硬件自动关闭全局中断使能, 在 RETI 退出中断时自动打开全局中断。进入中断后, 程序通过中断标志自行判断中断类型。



中断说明图

JZ8P1801 芯片具有软件中断功能, 当使能全局中断时, BRK k 指令可使 PC+1 入堆栈, 同时将 PC 赋值为 k。

相关寄存器:

- IOCINT: 中断使能寄存器
- INTFLAG: 中断状态寄存器
- WUCON: 输入状态变化中断使能控制寄存器



5.4.2 中断功能应用说明

- (1) 执行中断前，务必打开对应中断类型的使能信号；
- (2) 如果需要执行中断跳转，则需要在中断前执行 ENI 命令，否则执行 DISI 命令，中断形成后仍继续原来的进程；
- (3) 执行外部中断时，要打开外部中断通道 (ICIE=1)，此时 P6.0 口的状态仍然可以通过指令读取，只有在 P6.0 口上有下降沿出现时，中断才会形成；
- (4) 在 P6 口输入变化中断使能前，读 P6 口寄存器是必要的（例如：“MOV P6, P6”）。P6 口的每个引脚均可具有这个功能，如果其状态有改变，处于输出状态的引脚及作/EXINT 引脚的 P6.0 除外。如果端口 P6 输入状态改变中断在执行 SLEEP 指令进入休眠模式之前有效，可将芯片从休眠模式唤醒。一旦唤醒芯片，当整体中断禁止时控制器将继续执行下一条指令，当整体中断有效时控制器将转到中断向量 008H 处执行。
- (5) INTFLAG 是中断状态寄存器，它记录相应标志位的中断请求情况。RIEN 是中断使能寄存器。整体的中断使能或禁止由 ENI 或 DISI 指令完成。当中断发生时，下一指令将从地址 008H 取出。一旦进入中断服务子程序，可以通过查询 INTFLAG 的标志位检测中断源。在离开中断服务子程序前必须清除中断标志位并使能中断以避免重复中断。
- (6) 不管是否允许中断，INTFLAG 寄存器的相应位会由中断置位。注意读 RF 的结果是 INTFLAG 和 IOCINT 的逻辑与。RETI 指令结束中断子程序并使能整体中断 (ENI 的执行)。
- (7) 当 BRK 指令（如使能 ENI）产生中断时，下一指令将从地址 0xk 处取出。

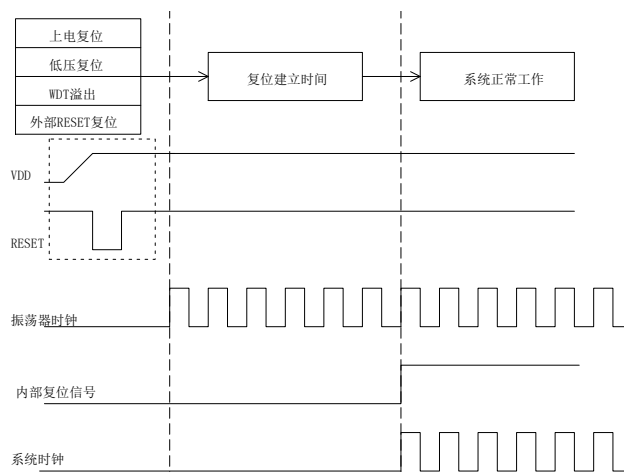
5.5 复位功能

5.5.1 功能概述

复位由下面情况引起：

- (1) 上电复位
- (2) 复位引脚输入为“低”
- (3) WDT 复位（如果使能）

检测到有效复位后，系统进入复位建立状态，包含复位寄存器，载入 OPTION 预设值，振荡器起振等状态的建立，如不考虑振荡器起振影响，系统的复位建立时间由 OPTION-SUT 位决定，用户可根据需要进行对应配置。对于起振时间较短的振荡模式，如 IRC，可以考虑选择较短的复位建立时间，如 18ms；对于起振时间较长的振荡模式，可以考虑选择较长的建立时间：





复位功能原理图

复位时间:

后三种复位方式的复位时间在唤醒部分已经给出，第一种复位方式的复位时间由 OPTION 中的 SUT 选择决定，如下表所示:

上电复位建立时间

复位建立时间	
SUT	PWRT=WDT= 18ms
	PWRT=WDT= 4.5ms
	PWRT=WDT= 288ms
	PWRT=WDT= 72ms

5.6 时钟模块

JZ8P1801 提供内置 RC 振荡，频率默认值为 4MHz。通过 OPTION 实现相应配置。具体参看下表:

Firc	IRC 频率
455 K	IRC 频率选为 455KHz
1 M	IRC 频率选为 1MHz
8 M	IRC 频率选为 8MHz
4 M	IRC 频率选为 4MHz

IRC 频率可以通过烧录器进行自动校正，理论校正精度±1%。

IRC 频漂 (Ta=25°C, VDD=5V±5%, GND=0V)				
IRC	漂移率			
	温度 (-40°C~+85°C)	电压 (1.8V~5.5V)	制程	Total
4MHz	±5%	±5%	±1%	±11%
8MHz	±5%	±5%	±1%	±11%
1MHz	±5%	±5%	±1%	±11%
455KHz	±5%	±5%	±1%	±11%

时钟模块应用说明

- (1) 内部振荡器是最常用的振荡模式，该模式可以省去外接的电路;
- (2) 外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。

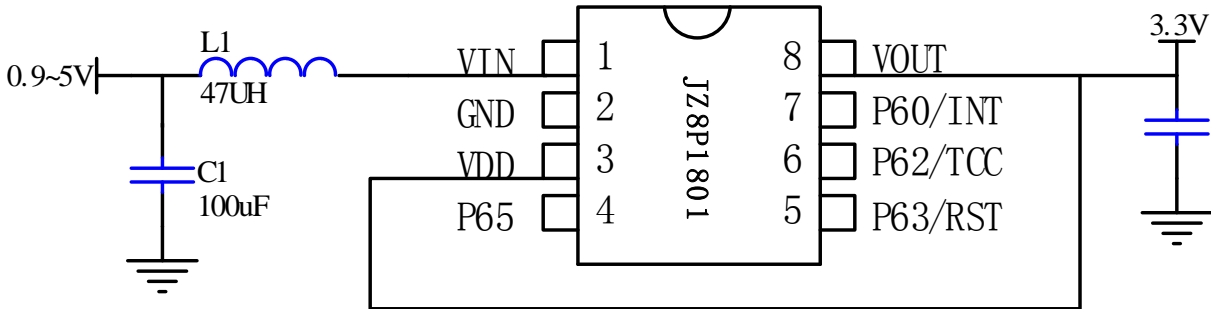
5.7 超低压功能

JZ8P1801 内部超低压电路主要由参考电压基准、振荡器、比较器组成，输出电压纹波低、转换效率高、带载能力强。外围器件少、具备的保护特性、低功耗特性使其适用于绝大部分应用场合。

1. 输入电压 0.9V-5V
2. VOUT 输出: 3.3V
3. 最高效率: 95%



4. 输出精度: $\pm 2.5\%$



超低压典型应用电路

6 代码选项寄存器

Write Option	选项	功能描述
POWER	HIGH	IRC 频率在 VDD=5V 下校准
	LOW	IRC 频率在 VDD=3V 下校准
Code Option	选项	功能描述
看门狗	使能	WDT 功能使能
	禁止	WDT 功能禁止
Clocks 分频	4*Clocks	4 个振荡时钟作为一个机器周期
	2*Clocks	2 个振荡时钟作为一个机器周期
	8*Clocks	8 个振荡时钟作为一个机器周期
	16*Clocks	16 个振荡时钟作为一个机器周期
低压复位	禁能	禁止开启低压复位
	1.2V	低压复位点选择 1.2V
	1.6V	低压复位点选择 1.6V
	1.8V	低压复位点选择 1.8V
	2.4V	低压复位点选择 2.4V
	2.7V	低压复位点选择 2.7V
	3.6V	低压复位点选择 3.6V
	3.9V	低压复位点选择 3.9V
代码加密	使能	程序加密
	禁止	程序不加密
P64 端口	GPIO	P6.4 作为一般 I/O 口
	OSCO	P6.4 作为系统机器时钟输出口
P63 端口	RST	P6.3 作为 RST 口
	GPI	P6.3 作为一般输入口
	GPIO	P6.3 作为开漏输出口
复位端口 上拉	使能	使能 P6.3 上拉
	禁止	禁止 P6.3 上拉
IRC 频率	455 K	IRC 频率选为 455KHz



	1 M	IRC 频率选为 1MHz
	8 M	IRC 频率选为 8MHz
	4 M	IRC 频率选为 4MHz
SUT	PWRT=WDT=18ms	唤醒建立时间=WDT 溢出时间（不分频）= 18ms
	PWRT=WDT=4.5ms	唤醒建立时间=WDT 溢出时间（不分频）= 4.5ms
	PWRT=WDT=72ms	唤醒建立时间=WDT 溢出时间（不分频）= 72ms
	PWRT=WDT=288ms	唤醒建立时间=WDT 溢出时间（不分频）= 288ms
	PWRT=140us WDT=18ms	唤醒建立时间=140us WDT 溢出时间（不分频）=18ms
	PWRT=140us WDT=4.5ms	唤醒建立时间=140us WDT 溢出时间（不分频）=4.5ms
	PWRT=140us WDT=72ms	唤醒建立时间=140us WDT 溢出时间（不分频）=72ms
	PWRT=140us WDT=288ms	唤醒建立时间=140us WDT 溢出时间（不分频）=288ms
端口特性	SMT	IO 口输入特性选为 SMT
	HSMT	IO 口输入特性选为 HSMT
	EMT	IO 口输入特性选为 EMT
	INV	IO 口输入特性选为 INV
端口唤醒设置	唤醒非独立控制	无需设置 0X0D 寄存器
	唤醒独立控制	需设置 0X0D 寄存器
	唤醒独立且无需设置 wdt	需设置 0X0D 寄存器，无需设置看门狗

注：SUT 总共包含了 3 个时间：

- 1) PWRT: port wake, reset wake 唤醒建立时间
- 2) WDT: wdt overflow(no prescale) WDT 不分频溢出时间
- 3) Power up setup time 上电复位建立时间

其中，上电复位建立时间= WDT 不分频溢出时间；

7 JZ8P1801 性能参数

注意：以下性能参数均为实测所得，仅供使用时参考！

7.1 极限参数

工作温度(°C)	(<input checked="" type="checkbox"/>)E: -40~85;	(<input type="checkbox"/>)R: -55~85;	(<input type="checkbox"/>)M: -55~125;
存储温度(°C)	(<input type="checkbox"/>) -55~+125	(<input type="checkbox"/>) -40~+125	(<input checked="" type="checkbox"/>) -65~+150
工作电压 (V)	(<input type="checkbox"/>) -0.3~15 ;	(<input checked="" type="checkbox"/>) 其它	1.8~5.5
极限输入电压 (V)	(<input type="checkbox"/>) GND-0.3~VDD+0.3;	(<input checked="" type="checkbox"/>) 其它	GND-0.3~VDD+1;
极限输出电压 (V)	(<input type="checkbox"/>) GND-0.3~VDD+0.3;	(<input checked="" type="checkbox"/>) 其它	GND-0.3~VDD+1;

7.2 直流参数

(T=25°C, VDD=5±5%V, GND=0V)



符号	参数说明	条件	最小	典型	最大	单位
IRC1	内置阻容振荡 1 (校正后)	Fire0:Fire1=1:1	0.95*4	4	1.05*4	MHz
IRC2	内置阻容振荡 2 (校正后)	Fire0:Fire1=1:0	0.95*8	8	1.05*8	MHz
IRC3	内置阻容振荡 3 (校正后)	Fire0:Fire1=0:1	0.95*1	1	1.05*1	MHz
IRC4	内置阻容振荡 4 (校正后)	Fire0:Fire1=0:0	0.95*455	455	1.05*455	KHz
IOH1	输出高电平驱动 (除 P63)	IOH=4.6V	4	5	15(增强)	mA
IOL1	I/O 输出低电平驱动	IOL=0.6V	18	20	26(增强)	mA
IPH	上拉电流	上拉使能, 输入接地	70	100	150	uA
IPL	下拉电流	下拉使能, 输入接 VDD	40	64	100	uA
Isb1	关机电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用			1	uA
Isb2	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能			10	uA
Isb3	关机电流 3	所有输入接 VDD, 输出悬空, WDT 禁用			10	uA
Iop1	工作电流 1	系统时钟 4MHz, 2clks, 输出端悬空, 输入接 VDD, 选择高功耗模式			2	mA
LVR1	低电压复位电压 1	选择 1.8V 复位点	1.5	1.8	2.1	V
LVR2	低电压复位电压 2	选择 1.6V 复位点	1.3	1.6	1.9	V

8 附录

封装类型

OTP MCU	封装类型	引脚数	封装尺寸
JZ8P1801	DIP	8	300mil
JZ8P1801	SOP	8	150mil