



JZ8PE2502D

8 位 OTP 微控制器

用户数据手册

版本号 V1.1



修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	
V1.1	修改内容格式	

声明：

- 本资料内容，随产品的改进，会进行相应更新，恕不另行通知。使用本资料前请咨询我司销售人员，以保证本资料内容为最新版本。
- 请在本资料所记载的极限范围内使用本产品，因使用不当造成的损失，我司不承担其责任。
- 尽管本公司一向致力于提高产品质量与可靠性，但是半导体产品本身有一定的概率发生故障或错误工作，为防止因此类事故而造成的人身伤害或财产损失，请在使用过程中充分留心安全设计。
- 将本产品或者本资料出口海外时，应当遵守适用的进出口管制法律法规。
- 未经本公司许可，严禁以任何形式复制或转载本资料的部分或全部内容。
- 本资料测试数据仅供参考，实际数据以目标样机测试为准。



目录

1 芯片简介	7
1.1 功能特性	7
1.2 引脚分配	8
1.3 引脚说明	9
2.存储器结构	11
2.1 RPAGE\IOPAGE\Bank 数据寄存器区	11
3 功能模块	13
3.1 操作寄存器	13
3.1.1 RPAGE~R0/IAR(间接寻址寄存器)	13
3.1.2 RPAGE~R1/TCC(TCC 数据计数器)	13
3.1.3 RPAGE~R2/PC(PC 程序计数器)	13
3.1.4 RPAGE~R3/STATUS(状态寄存器)	13
3.1.5 RPAGE~R4/RSR(RAM 选择寄存器)	14
3.1.6 RPAGE~R5/PORT5(P5 数据寄存器)	14
3.1.7 RPAGE~R6/PORT6(P6 数据寄存器)	14
3.1.8 RPAGE~R8/LVDCON(LVD 控制寄存器)	14
3.1.9 RPAGE~RC/P5ICECR(P5 端口中断唤醒使能寄存器)	15
3.1.10 RPAGE~RD/P6ICECR(P6 端口中断唤醒使能寄存器)	16
3.1.11 RPAGE~RE/CPUCON(CPU 模式控制寄存器)	16
3.1.12 RPAGE~RF/ISR(中断标志寄存器)	16
3.1.13 RPAGE~R70/PWM0CR(PWM0 控制寄存器)	17
3.1.14 RPAGE~R71/PWM1CR(PWM1 控制寄存器)	18
3.1.15 RPAGE~R72/PWM2CR(PWM2 控制寄存器)	18
3.1.16 RPAGE~R73/PWM3CR(PWM3 控制寄存器)	19
3.1.17 RPAGE~R74/PWM4CR(PWM4 控制寄存器)	20
3.1.18 RPAGE~R75/P5HDCR(P5 高拉电流控制寄存器)	20
3.1.19 RPAGE~R76/P5HSCR(P5 高灌电流控制寄存器)	21
3.1.20 RPAGE~R77/P6HDCR(P6 高拉电流控制寄存器)	21
3.1.21 RPAGE~R78/P6HSCR(P6 高灌电流控制寄存器)	21
3.1.22 RPAGE~R79/P5WDCR(P5 弱拉电流控制寄存器)	21
3.1.23 RPAGE~R7A/P5WSCR(P5 弱灌电流控制寄存器)	21
3.1.24 RPAGE~R7B/DEADCR(PWM 死区控制寄存器)	21
3.1.25 RPAGE~R7C/DEADTR(PWM 死区控制寄存器)	22
3.2 控制寄存器	23
3.2.1 CONT(控制寄存器)	23
3.2.2 IOPAGE~IOC5/P5CR(P5 方向控制寄存器)	23
3.2.3 IOPAGE~IOC6/P6CR(P6 方向控制寄存器)	24
3.2.4 IOPAGE~IOC8/PHDCR0(上下拉控制寄存器 0)	24
3.2.5 IOPAGE~IOC9/PHDCR1(上下拉控制寄存器 1)	24
3.2.6 IOPAGE~IOCA/PHDCR2(上下拉控制寄存器 2)	24
3.2.7 IOPAGE~IOCB/PDCR(下拉控制寄存器)	24
3.2.8 IOPAGE~IOCC/P6ODCR(P6 开漏输出控制寄存器)	25
3.2.9 IOPAGE~IOCD/P6PHCR(P6 端口上拉控制寄存器)	25



3.2.10	IOPAGE~IOCE/WDTCR(看门狗控制寄存器)	25
3.2.11	IOPAGE~IOCF/IMR(中断使能控制寄存器)	25
3.2.12	IOPAGE~IOC10/PRDCH0(PWM0 周期占空高位控制寄存器)	26
3.2.13	IOPAGE~IOC11/PRDL0(PWM0 周期低位控制寄存器)	26
3.2.14	IOPAGE~IOC12/PDCL0(PWM0 占空比低位控制寄存器)	26
3.2.15	IOPAGE~IOC13/PRDCH1(PWM1 周期占空高位控制寄存器)	26
3.2.16	IOPAGE~IOC14/PRDL1(PWM1 周期低位控制寄存器)	27
3.2.17	IOPAGE~IOC15/PDCL1(PWM1 占空比低位控制寄存器)	27
3.2.18	IOPAGE~IOC16/PRDCH2(PWM2 周期占空高位控制寄存器)	27
3.2.19	IOPAGE~IOC17/PRDL2(PWM2 周期低位控制寄存器)	27
3.2.20	IOPAGE~IOC18/PDCL2(PWM2 占空比低位控制寄存器)	27
3.2.21	IOPAGE~IOC19/PRDCH3(PWM3 周期占空高位控制寄存器)	27
3.2.22	IOPAGE~IOC1A/PRDL3(PWM3 周期低位控制寄存器)	27
3.2.23	IOPAGE~IOC1B/PDCL3(PWM3 占空比低位控制寄存器)	28
3.2.24	IOPAGE~IOC1C/PRDCH4(PWM4 周期占空高位控制寄存器)	28
3.2.25	IOPAGE~IOC1D/PRDL4(PWM4 周期低位控制寄存器)	28
3.2.26	IOPAGE~IOC1E/PDCL4(PWM4 占空比低位控制寄存器)	28
3.2.27	IOPAGE~IOC1F/PWMSCR(PWM 映射控制寄存器)	28
3.3	GPIO 功能模块	30
3.3.1	GPIO 寄存器说明	30
	RPAGE~R5(PORT5 数据寄存器)	30
	RPAGE~R6(PORT6 数据寄存器)	30
	IOPAGE~IOC5/P5CR(P5 方向控制寄存器)	30
	IOPAGE~IOC6/P6CR(P6 方向控制寄存器)	30
	IOPAGE~IOC8/PHDCR0(上下拉控制寄存器 0)	31
	IOPAGE~IOC9/PHDCR1(上下拉控制寄存器 1)	31
	IOPAGE~IOCA/PHDCR2(上下拉控制寄存器 2)	31
	IOPAGE~IOCB/PDCR(下拉控制寄存器)	31
	IOPAGE~IOCC(P6 端口开漏控制寄存器)	31
	IOPAGE~IOCD/P6PHCR(P6 端口上拉控制寄存器)	32
	RPAGE~R75/P5HDCR(P5 高拉电流控制寄存器)	32
	RPAGE~R76/P5HSCR(P5 高灌电流控制寄存器)	32
	RPAGE~R77/P6HDCR(P6 高拉电流控制寄存器)	32
	RPAGE~R78/P6HSCR(P6 高灌电流控制寄存器)	32
	RPAGE~R79/P5WDCR(P5 弱拉电流控制寄存器)	32
	RPAGE~R7A/P5WSCR(P5 弱灌电流控制寄存器)	33
3.4	TCC 定时器功能模块	34
3.4.1	TCC 定时器寄存器说明	34
	CONT(控制寄存器)	34
	RPAGE~R1(TCC 数据计数器)	34
	RPAGE~RF(中断标志寄存器)	34
	IOPAGE~IOCF(中断使能控制寄存器)	35
3.4.2	TCC 定时设置说明	35
3.4.3	TCC 定时计算说明	35
3.5	WDT 看门狗功能模块	36



3.5.1 WDT 看门狗寄存器说明	36
CONT (控制寄存器)	36
IOPAGE~IOCE/WDTCR(看门狗控制寄存器)	36
3.5.2 WDT 看门狗设置说明	36
3.6 端口状态改变唤醒功能模块	37
3.6.1 睡眠唤醒方式说明	37
3.6.2 端口状态改变唤醒寄存器说明	37
RPAGE~RD(P6 端口变化唤醒使能寄存器)	37
RPAGE~RE(唤醒使能控制寄存器)	37
RPAGE~RF(中断标志寄存器)	38
IOPAGE~IOCF(中断使能控制寄存器)	38
RPAGE~R4D(P5 端口变化唤醒使能寄存器)	38
3.6.3 端口状态改变查询方式唤醒设置	38
3.6.4 端口状态改变中断方式唤醒设置	38
3.7 LVD 电压检测功能模块	40
3.7.1 LVD 电压检测寄存器说明	40
RPAGE~R8/LVDCON(LVD 控制寄存器)	40
RPAGE~RF/RIFG(中断标志寄存器)	41
IOPAGE~IOCF/RIEN(中断使能控制寄存器)	41
3.7.2 LVD 电压检测查询方式设置说明	41
3.8 PWM 脉宽调制功能模块	42
3.8.1 PWM 脉宽调制寄存器说明	42
RPAGE~R70/PWMOCR(PWM0 控制寄存器)	42
RPAGE~R71/PWM1CR(PWM1 控制寄存器)	43
RPAGE~R72/PWM2CR(PWM2 控制寄存器)	43
RPAGE~R73/PWM3CR(PWM3 控制寄存器)	44
RPAGE~R74/PWM4CR(PWM4 控制寄存器)	45
RPAGE~R7B/DEADCR(PWM 死区控制寄存器)	45
RPAGE~R7C/DEADTR(PWM 死区控制寄存器)	46
IOPAGE~IOC10/PRDCHO(PWM0 周期占空高位控制寄存器)	46
IOPAGE~IOC11/PRDLO(PWM0 周期低位控制寄存器)	46
IOPAGE~IOC12/PDCL0(PWM0 占空比低位控制寄存器)	46
IOPAGE~IOC13/PRDCH1(PWM1 周期占空高位控制寄存器)	46
IOPAGE~IOC14/PRDL1(PWM1 周期低位控制寄存器)	46
IOPAGE~IOC15/PDCL1(PWM1 占空比低位控制寄存器)	47
IOPAGE~IOC16/PRDCH2(PWM2 周期占空高位控制寄存器)	47
IOPAGE~IOC17/PRDL2(PWM2 周期低位控制寄存器)	47
IOPAGE~IOC18/PDCL2(PWM2 占空比低位控制寄存器)	47
IOPAGE~IOC19/PRDCH3(PWM3 周期占空高位控制寄存器)	47
IOPAGE~IOC1A/PRDL3(PWM3 周期低位控制寄存器)	47
IOPAGE~IOC1B/PDCL3(PWM3 占空比低位控制寄存器)	47
IOPAGE~IOC1C/PRDCH4(PWM4 周期占空高位控制寄存器)	47
IOPAGE~IOC1D/PRDL4(PWM4 周期低位控制寄存器)	48
IOPAGE~IOC1E/PDCL4(PWM4 占空比低位控制寄存器)	48
IOPAGE~IOC1F/PWMSCR(PWM 映射控制寄存器)	48



3.8.2 PWM 脉宽调制设置说明	49
3.8.3 PWM 脉宽调制计算说明	49
3.8.4 PWM 死区控制设置说明	49
3.9 中断功能模块	50
3.9.1 中断寄存器说明	50
RPAGE~RF/RIFG(中断标志寄存器)	50
IOPAGE~IOCF/RIEN(中断使能控制寄存器)	51
3.9.2 外部中断设置说明	52
3.10 复位功能模块	53
3.10.1 复位功能概述	53
3.10.2 上电复位	53
3.10.3 WDT 看门狗复位	54
3.10.4 掉电复位	54
3.10.5 工作频率与 LVR 低压检测关系	55
3.11 系统时钟功能模块	56
3.11.1 外部晶体振荡器/陶瓷谐振器 (XT)	56
3.11.2 内部 RC 振荡器模式 (IRC)	56
3.11.3 时钟模块应用说明	57
4 CODE OPTION 寄存器	58
5 芯片电气特性	60
5.1 芯片极限参数	60
5.2 芯片直流参数	60
6 封装尺寸信息	62
6.1 16PIN 封装尺寸	62
6.2 14PIN 封装尺寸	63
6.3 8PIN 封装尺寸	64



1 芯片简介

1.1 功能特性

CPU 配置

- 2K×14-Bit OTP ROM
- 96×8-Bit SRAM
- 256×8-Bit EEPROM
- 8 级堆栈空间
- 7 级可编程低电压复位 (LVR)
 - 1.2V, 1.6V, 1.8V, 2.4V
 - 2.7V, 3.5V, 3.9V
- 工作电流小于 1.2 mA (4MHz/5V)
- 工作电流 20 μ A (32KHz/3V)
- 休眠电流小于 1 μ A (休眠模式)

I/O 配置

- 2 组双向 I/O 端口:P5, P6
- 16 个 I/O 引脚
- 唤醒端口:P5 口, P6 口
- 16 个可编程上拉 I/O 引脚
- 15 个可编程下拉 I/O 引脚
- 外部中断: P60
- 外部电压检测: P57
- P57 可配置上拉和输出, 开漏
- 8 个可编程漏极开路 I/O 引脚
- 16 个可编程驱动增强 I/O 引脚

工作电压

- 工作电压范围:
 - 1.8V~5.5V (0°C~70°C)
 - 2.3V~5.5V (-40°C~85°C)

工作频率

- 内置 IRC 振荡电路:
 - 8MHz, 1MHz, 910KHz
- 内置 RC 震荡器供电:
 - VDD、LDO 2.1V
- 外置 XT 振荡电路:
- 指令周期分频选择:
 - 2T, 4T, 8T, 16T, 32T

外围模块

- 8Bit 定时器/计数器
- 可编程 WDT 定时器
- 5 路 12Bit 脉宽调制器 PWM

中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断
- 低电压检测 (LVD) 变化中断
- PWM0 周期中断
- PWM1 周期中断
- PWM2 周期中断

特性

- 软件可调多级 LVD
 - 2.0V~4.7V, 0.1V/级

封装类型

- JZ8PE2502D-DIP16;
- JZ8PE2502D-SOP16;
- JZ8PE2502D-DIP14;
- JZ8PE2502D-SOP14;
- JZ8PE2502D-SOP8;



1.3 引脚说明

序号	管脚名	I/O	功能描述
P50	P50	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM2	CMOS 输出	PWM2 互补输出
P51	P51	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM1	CMOS 输出	PWM1 互补输出
P52	P52	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM0	CMOS 输出	PWM0 互补输出
P53	P53	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM2	CMOS 输出	PWM2 互补输出
P54	P54	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	TCC	I	外部 TCC 信号源输入脚
	IPWM3	CMOS 输出	PWM3 互补输出
P55	P55	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	OSCO	O	振荡器输出口
	IPWM3	CMOS 输出	PWM3 互补输出
P56	P56	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	OSCI	I	外部晶振振荡输入口
	IPWM4	CMOS 输出	PWM4 互补输出
P57	P57	GPIO	GPI, 可编程上拉、可编程输出驱动能力、端口唤醒
	RST	I	复位端口
	IPWM4	CMOS 输出	PWM4 互补输出
	EXVE	I	LVD 外部电压检测端口
P60	P60	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	INT0	I	外部中断输入端口
	PWM2	CMOS 输出	PWM2 输出
P61	P61	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	PWM1	O	PWM1 输出
P62	P62	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	PWM0	O	PWM0 输出
P63	P63	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	IPWM2	CMOS 输出	PWM2 互补输出
P64	P64	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	IPWM1	CMOS 输出	PWM1 互补输出
P65	P65	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	IPWM0	CMOS 输出	PWM0 互补输出
P66	P66	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	PWM3	CMOS 输出	PWM3 输出
P67	P67	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	PWM4	CMOS 输出	PWM4 输出



JZ8PE2502D 数据手册

	VDD	--	电源
	VSS	--	地



2. 存储器结构

2.1 RPAGE\IOPAGE\Bank 数据寄存器区

地址	RPAGE 页面寄存器
0x00	R0/IAR 间接寻址存储器
0x01	R1/TCC 定时计数器
0x02	R2/PC 程序计数器
0x03	R3/STATUS 状态寄存器
0x04	R4/RSR RAM 选择寄存器
0x05	R5/PORT5 数据寄存器
0x06	R6/PORT6 数据寄存器
0x07	保留
0x08	R8/LVDCON 控制寄存器
0x09	保留
0x0A	保留
0x0B	保留
0x0C	RC/P5ICECR P5 输入状态变化中断使能控制器
0x0D	RD/P6ICECR P6 输入状态变化中断使能控制器
0x0E	RE/CPUCON CPU 模式控制寄存器
0x0F	RF/ISR 中断标志寄存器
0x10	SRAM 通用寄存器
0x70	R70/PWM0CR (PWM0 控制寄存器)
0x71	R71/PWM1CR (PWM1 控制寄存器)
0x72	R72/PWM2CR (PWM2 控制寄存器)
0x73	R73/PWM3CR (PWM3 控制寄存器)
0x74	R74/PWM4CR (PWM4 控制寄存器)
0x75	R75/P5HDCR (P5 高拉电流控制寄存器)
0x76	R76/P5HSCR (P5 高灌电流控制寄存器)
0x77	R77/P6HDCR (P6 高拉电流控制寄存器)
0x78	R78/P6HSCR (P6 高灌电流控制寄存器)
0x79	R79/P5WDCR (P5 弱拉电流控制寄存器)
0x7A	R7A/P5WSCR (P5 弱灌电流控制寄存器)
0x7B	R7B/DEADCR (PWM 死区控制寄存器)
0x7C	R7C/DEADTR (死区定时寄存器)
0x7D	保留
0x7E	保留
0x7F	保留



地址	IOPAGE 页面寄存器
0x00	保留
0x01	CONT (控制寄存器)
0x02	保留
0x03	保留
0x04	保留
0x05	IOC5/P5CR (P5 方向控制寄存器)
0x06	IOC6/P6CR (P6 方向控制寄存器)
0x07	保留
0x08	IOC8/PHDCR0 (上下拉控制寄存器 0)
0x09	IOC9/PHDCR1 (上下拉控制寄存器 1)
0x0A	IOCA/PHDCR2 (上下拉控制寄存器 2)
0x0B	IOCB/PDCR (下拉控制寄存器)
0x0C	IOCC/P6ODCR (P6 端口开漏控制寄存器)
0x0D	IOCD/P6PHCR (P6 端口上拉控制寄存器)
0x0E	IOCE/WDTCR (WDT 控制寄存器)
0x0F	IOCF/IMR (中断使能控制寄存器)
0x10	IOC10/PRDCH0 (PWM0 周期占空高位寄存器)
0x11	IOC11/PRDL0 (PWM0 周期低位寄存器)
0x12	IOC12/PDCL0 (PWM0 占空比低位寄存器)
0x13	IOC13/PRDCH1 (PWM1 周期占空高位寄存器)
0x14	IOC14/PRDL1 (PWM1 周期低位寄存器)
0x15	IOC15/PDCL1 (PWM1 占空比低位寄存器)
0x16	IOC16/PRDCH2 (PWM2 周期占空高位寄存器)
0x17	IOC17/PRDL2 (PWM2 周期低位寄存器)
0x18	IOC18/PDCL2 (PWM2 占空比低位寄存器)
0x19	IOC19/PRDCH3 (PWM3 周期占空高位寄存器)
0x1A	IOC1A/PRDL3 (PWM3 周期低位寄存器)
0x1B	IOC1B/PDCL3 (PWM3 占空比低位寄存器)
0x1C	IOC1C/PRDCH4 (PWM4 周期占空高位寄存器)
0x1D	IOC1D/PRDL4 (PWM4 周期低位寄存器)
0x1E	IOC1E/PDCL4 (PWM4 占空比低位寄存器)
0x1F	IOC1F/PWMSCR (PWM 映射控制寄存器)



3 功能模块

3.1 操作寄存器

3.1.1 RPAGE~R0/IAR (间接寻址寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R0<7:0>							

R0 间接寻址寄存器是一个虚拟的寄存器，是间接寻址的指针，对应的数值为 R4 寄存器数值

3.1.2 RPAGE~R1/TCC (TCC 数据计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 数据寄存器，可读可写

3.1.3 RPAGE~R2/PC (PC 程序计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL<7:0>							

PC 指针低位寄存器，可读可写

3.1.4 RPAGE~R3/STATUS (状态寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GP1	GP0	T	P	Z	DC	C

Bit<7>:RST-复位类型标志位

0:其他复位类型

1:引脚状态改变引起唤醒

Bit<6>:GP1-通用读写位

Bit<5>:GP0-通用读写位

Bit<4>:T-时间溢出位

0:WDT 溢出

1:执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0



Bit<3>:P-掉电标志位

0:执行“SLEEP”指令

1:上电复位或执行“WDTC”指令

Bit<2>:Z-零标志位算术或逻辑操作结果为零时置为”1”

0:当算术或者逻辑运算结果不为0

1:当算术或者逻辑运算结果为0

Bit<1>:DC-辅助进位标志

0:执行加法运算时，低四位没有进位产生；/执行减法运算时，低四位产生借位

1:执行加法运算时，低四位有进位产生；/执行减法运算时，低四位没产生借位

Bit<0>:C-进位标志

0:执行加法运算时，高四位没有进位产生；/执行减法运算时，高四位产生借位

1:执行加法运算时，高四位有进位产生；/执行减法运算时，高四位没产生借位

3.1.5 RPAGE~R4/RSR (RAM 选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	FSR<6:0>						

Bit7:固定读为1

Bit<6:0>:FSR<6:0>-在间接寻址方式中用于选择 RAM 寄存器地址

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR，然后通过访问间接寻址寄存器 R0，此时地址将指向 FSR 中对应地址的寄存器。

3.1.6 RPAGE~R5/PORT5 (P5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

PORT5 数据寄存器，可读可写

3.1.7 RPAGE~R6/PORT6 (P6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

PORT6 数据寄存器，可读可写

3.1.8 RPAGE~R8/LVDCON (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LV DEN	LV DF	EX VEN	LV DSEL<4:0>				

Bit<7>:LV DEN

1:LVD 使能

0:LVD 禁止

Bit<6>:LV DF

1:LVD 低于预设电压点

0:LVD 高于预设电压点

Bit<5>:EX VEN



1:LVD 检测电压选择 P57 端口输入

0:LVD 检测电压选择 VDD

LVDSEL<4:0>:

LVDSEL<4>	LVDSEL<3>	LVDSEL<2>	LVDSEL<1>	LVDSEL<0>	电压点
0	0	0	0	0	2.0v
0	0	0	0	1	2.1v
0	0	0	1	0	2.2v
0	0	0	1	1	2.3v
0	0	1	0	0	2.4v
0	0	1	0	1	2.5v
0	0	1	1	0	2.6v
0	0	1	1	1	2.7v
0	1	0	0	0	2.8v
0	1	0	0	1	2.9v
0	1	0	1	0	3.0v
0	1	0	1	1	3.1v
0	1	1	0	0	3.2v
0	1	1	0	1	3.3v
0	1	1	1	0	3.4v
0	1	1	1	1	3.5v
1	0	0	0	0	3.6v
1	0	0	0	1	3.7v
1	0	0	1	0	3.8v
1	0	0	1	1	3.9v
1	0	1	0	0	4.0v
1	0	1	0	1	4.1v
1	0	1	1	0	4.2v
1	0	1	1	1	4.3v
1	1	0	0	0	4.4v
1	1	0	0	1	4.5v
1	1	0	1	0	4.6v
1	1	0	1	1	4.7v

3.1.9 RPAGE~RC/P5ICECR (P5 端口中断唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WK<7>	P5WK<6>	P5WK<5>	P5WK<4>	P5WK<3>	P5WK<2>	P5WK<1>	P5WK<0>

Bit<7:0>:P5WK<7:0>-P6 输入状态变化中断使能控制位

1:使能

0:禁止 (默认)

注意: 在 OPTION 中端口唤醒设置选择中, 如果选择 P5/P6 端口非独立控制, 则端口唤醒不受 RC 寄存器控制, 否则需要对 RC 寄存器做处理, 不然端口无法唤醒。



3.1.10 RPAGE~RD/P6ICECR (P6 端口中断唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 输入状态变化中断使能控制位

1:使能

0:禁止 (默认)

注意: 在 OPTION 中端口唤醒设置选择中, 如果选择 P5/P6 端口非独立控制, 则端口唤醒不受 RD 寄存器控制, 否则需要对 RD 寄存器做处理, 不然端口无法唤醒。

3.1.11 RPAGE~RE/CPUCON (CPU 模式控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TxEN	TCCCKS	PWMWE	TCCWE	STPHX	CLKMD	IDLE

Bit<7>:未使用, 固定为 0

Bit<6>:TxEN

1:同时打开 Tx 定时器使能 (即使 TOEN、T1EN、T2EN、T3EN、T4EN 关闭也可使能)

0:禁止

Bit<5>:TCCCKS-TCC 时钟源选择

1:选择系统时钟

0:选择指令周期时钟

Bit<4>:PWMWE-PWM 唤醒

1:PWM 唤醒使能, 可唤醒空闲模式

0:PWM 唤醒禁止

Bit<3>:TCCWE-TCC 唤醒

1:TCC 唤醒使能, 可唤醒空闲模式, RTC 模式下可唤醒睡眠以及空闲模式

0:TCC 唤醒禁止

(RTC 模式下设置 TCCWE=1&RTCS=1 休眠时 LXT 继续工作不会停止, 否则时休眠会停止 LXT)

Bit<2>:STPHX-高速时钟

1:停止高速时钟, 包括 IRC 和晶振振荡器时钟 (不包括 RTC 时钟)

0:高速时钟正常工作

Bit<1>:CLKMD-系统时钟

1:系统时钟使用低速 RC 振荡器时钟

0:系统时钟使用高速 IRC 或者晶振振荡器时钟

(系统从正常模式进入低速模式时 先设置 CLKMD=1, 后设置 STPHX=1,

系统从低速模式进入正常模式时 先设置 STPHX=0, 后设置 CLKMD=0)

Bit<0>:IDLE-空闲模式

1:系统执行 SLEEP 指令时进入空闲模式, 系统时钟正常工作

(TCC 和 PWM 在空闲模式下如果选择系统时钟可继续工作, 并可唤醒系统)

0:系统执行 SLEEP 指令时进入睡眠模式

3.1.12 RPAGE~RF/ISR (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IF	PWM1IF	PWMOIF	LVDIF	P5ICIF	EXIF	P6ICIF	TCIF



Bit<7>:PWM2IF-PWM2 周期溢出中断标志位

1:有中断

0:无中断

Bit<6>:PWM1IF-PWM1 周期溢出中断标志位

1:有中断

0:无中断

Bit<5>:PWMOIF-PWMO 周期溢出中断标志位

1:有中断

0:无中断

Bit<4>:LVDIF-LVD 状态变化中断标志位

1:有中断 (LVDF 从 0 变为 1 或者从 1 变为 0 时置 1, 软件清 0)

0:无中断

Bit<3>:P5ICIF-P5 端口变化中断标志位

1:有中断

0:无中断

Bit<2>:EXIF-外部中断标志位

1:有中断 (由 INT 引脚上的下降沿置 1, 软件清 0)

0:无中断

Bit<1>:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写, 但只能写 0

注意:清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。

3.1.13 RPAGE~R70/PWMOCR (PWMO 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TOEN	IPWMOEN	PWMOEN	PWMOCKS	TOPTEN	TOPSR<2>	TOPSR<1>	TOPSR<0>

Bit<7>:TOEN-PWMO 计数器使能

(若设置 PRD0 寄存器, TO 计数到 PRD 预设值复位; TO 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWMOEN

1:IPWMO 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWMOEN

1:PWMO 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWMOCKS

1:PWMO 时钟选择 Fosc

0:PWMO 时钟选择 Fcpu

Bit<3>:TOPTEN-TO 预分频选择控制位



Bit<2:0>:TOPSR2~TOPSR0:

TOPTEN	TOPSR2	TOPSR1	TOPSR0	T0 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.14 RPAGE~R71/PWM1CR(PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1EN	IPWM1EN	PWM1EN	PWM1CKS	T1PTEN	T1PSR<2>	T1PSR<1>	T1PSR<0>

Bit<7>:T1EN-PWM1 计数器使能

(若设置 PRD1 寄存器, T0 计数到 PRD1 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM1EN

1:IPWM1 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM1EN

1:PWM1 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM1CKS

1:PWM1 时钟选择 Fosc

0:PWM1 时钟选择 Fcpu

Bit<3>:T1PTEN-T1 预分频选择控制位

Bit<2:0>:T1PSR2~T1PSR0:

T1PTEN	T1PSR2	T1PSR1	T1PSR0	T1 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.15 RPAGE~R72/PWM2CR(PWM2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	IPWM2EN	PWM2EN	PWM2CKS	T2PTEN	T2PSR<2>	T2PSR<1>	T2PSR<0>

Bit<7>:T2EN-PWM2 计数器使能



(若设置 PRD2 寄存器, T0 计数到 PRD2 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM2EN

1:IPWM2 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM2EN

1:PWM2 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM2CKS

1:PWM2 时钟选择 Fosc(系统时钟)

0:PWM2 时钟选择 Fcpu(指令时钟)

Bit<3>:T2PTEN-T2 预分频选择控制位

Bit<2:0>:T2PSR2~T2PSR0:

T2PTEN	T2PSR2	T2PSR1	T2PSR0	T2 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.16 RPAGE~R73/PWM3CR(PWM3 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T3EN	IPWM3EN	PWM3EN	PWM3CKS	T3PTEN	T3PSR<2>	T3PSR<1>	T3PSR<0>

Bit<7>:T3EN-PWM3 计数器使能

(若设置 PRD3 寄存器, T0 计数到 PRD3 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM3EN

1:IPWM3 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM3EN

1:PWM3 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM3CKS

1:PWM3 时钟选择 Fosc

0:PWM3 时钟选择 Fcpu

Bit<3>:T3PTEN-T3 预分频选择控制位

Bit<2:0>:T3PSR2~T3PSR0:

T3PTEN	T3PSR2	T3PSR1	T3PSR0	T3 分频系数
0	0	0	0	1:1



1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.17 RPAGE~R74/PWM4CR (PWM4 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T4EN	IPWM4EN	PWM4EN	PWM4CKS	T4PTEN	T4PSR<2>	T4PSR<1>	T4PSR<0>

Bit<7>:T4EN-PWM4 计数器使能

(若设置 PRD4 寄存器, T0 计数到 PRD4 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM4EN

1:IPWM4 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM4EN

1:PWM4 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM4CKS

1:PWM4 时钟选择 Fosc

0:PWM4 时钟选择 Fcpu

Bit<3>:T4PTEN-T4 预分频选择控制位

Bit<2:0>:T4PSR2~T4PSR0:

T4PTEN	T4PSR2	T4PSR1	T4PSR0	T4 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.18 RPAGE~R75/P5HDCR (P5 高拉电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HD<7>	P5HD<6>	P5HD<5>	P5HD<4>	P5HD<3>	P5HD<2>	P5HD<1>	P5HD<0>

Bit<7:0>:P5 高拉电流控制位

1:使能

0:禁止



3.1.19 RPAGE~R76/P5HSCR (P5 高灌电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HS<7>	P5HS<6>	P5HS<5>	P5HS<4>	P5HS<3>	P5HS<2>	P5HS<1>	P5HS<0>

Bit<7:0>:P5 高灌电流控制位

- 1:使能
- 0:禁止

3.1.20 RPAGE~R77/P6HDCR (P6 高拉电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<7>	P6HD<6>	P6HD<5>	P6HD<4>	P6HD<3>	P6HD<2>	P6HD<1>	P6HD<0>

Bit<7:0>:P6 高拉电流控制位

- 1:使能
- 0:禁止

3.1.21 RPAGE~R78/P6HSCR (P6 高灌电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HS<7>	P6HS<6>	P6HS<5>	P6HS<4>	P6HS<3>	P6HS<2>	P6HS<1>	P6HS<0>

Bit<7:0>:P6 高灌电流控制位

- 1:使能
- 0:禁止

3.1.22 RPAGE~R79/P5WDCR (P5 弱拉电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WD<7>	P5WD<6>	P5WD<5>	P5WD<4>	P5WD<3>	P5WD<2>	P5WD<1>	P5WD<0>

Bit<7:0>:P5 弱拉电流控制位

- 1:使能
- 0:禁止

3.1.23 RPAGE~R7A/P5WSCR (P5 弱灌电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WS<7>	P5WS<6>	P5WS<5>	P5WS<4>	P5WS<3>	P5WS<2>	P5WS<1>	P5WS<0>

Bit<7:0>:P5 弱灌电流控制位

- 1:使能
- 0:禁止

3.1.24 RPAGE~R7B/DEADCR (PWM 死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADE<3>	DEADE<2>	DEADE<1>	DEADE<0>	DEADCKS	DEADP<2>	DEADP<1>	DEADP<0>

Bit<7:4>:DEADEN<3:0>-PWM 死区使能控制位

- DEADEN<0> PWM0 死区使能控制位
- DEADEN<1> PWM1 死区使能控制位



DEADEN<2> PWM2 死区使能控制位

DEADEN<2> PWM3 死区使能控制位

0: 禁止

1: 使能

Bit<3>: DEADCKS-PWM 死区时钟选择

1: 选择 Fosc 作为死区时钟

0: 选择 Fcpu 作为死区时钟

Bit<2:0>: DEADP-PWM 死区时间设置

DEADP<2>	DEADP<1>	DEADP<0>	死区定时分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:32
1	1	0	1:64
1	1	1	1:128

3.1.25 RPAGE~R7C/DEADTR (PWM 死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADT<7>	DEADT<6>	DEADT<5>	DEADT<4>	DEADT<3>	DEADT<2>	DEADT<1>	DEADT<0>

Bit<7:0>: DEADT<7:0>-死区定时器



3.2 控制寄存器

3.2.1 CONT (控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RTCS	INTE	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:RTCS-TCC 信号源选择 (OPTION 选项使能 RTC 功能时有效, 否则 bit7 为通用读写位)

当 RTC 在 OPTION 中关闭时, 作为通用读写位;

当 RTC 在 OPTION 中使能时:

1:选择外部晶振时钟 (LXT 的 4 分频)

0:TCC 时钟由 TCCCKS 和 TS 决定, TCCCKS=1 时钟源选择 FOSC, TCCCKS=0 时钟源由 TS 决定 TCC 时钟源优先级 RTCS>TCCCKS>TS, SCT 寄存器可读可写

Bit<6>:INTE-全局中断使位

1:通过 EI/RETI 设置位 1

0:通过 DI 或者中断实现清零

Bit<5>:TS-TCC 信号源选择位

0:内部指令周期时钟作为 TCC 时钟源

1:外部输入信号 (P54 需要设置为输入口)

Bit<4>:TE-TCC 信号边沿选择位

0:TCC 引脚信号发生由低到高变化加 1

1:TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-预分频器分配位

1:WDT

0:TCC

Bit<2:0>:PSR<2:0>-预分频选择控制位:

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

3.2.2 IOPAGE~IOC5/P5CR (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7>	P5CR<6>	P5CR<5>	P5CR<4>	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入

0:输出



3.2.3 IOPAGE~IOC6/P6CR(P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出

3.2.4 IOPAGE~IOC8/PHDCR0(上下拉控制寄存器 0)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	P7PD<1>	P7PD<0>	-	-	P7PH<1>	P7PH<0>

Bit<5:4>:P7PD<1:0>-P7 端口下拉使能位

Bit<1:0>:P7PH<1:0>-P7 端口上拉使能位

0:使能

1:禁止

3.2.5 IOPAGE~IOC9/PHDCR1(上下拉控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Bit<7:4>:P6D<7:4>-P6<7:4>管脚的下拉使能控制位

Bit<3:0>:P5H<3:0>-P5<3:0>管脚的上拉使能控制位

0:内部上下拉使能

1:内部上下拉禁止

PHDCR1 寄存器是可读可写的

3.2.6 IOPAGE~IOCA/PHDCR2(上下拉控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	P5PD<6>	P5PD<5>	P5PD<4>	P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>

Bit<6:4>:P5PD<6:4>-P5<6:4>管脚的下拉使能控制位

Bit<3:0>:P5PH<7:4>-P5<7:4>管脚的上拉使能控制位

0:内部上下拉使能

1:内部上下拉禁止

3.2.7 IOPAGE~IOCB/PDCR(下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<3:0>				P5PD<3:0>			

Bit<7:4>:P6PD<3:0>-P6<3:0>下拉使能控制位

Bit<3:0>:P5PD<3:0>-P5<3:0>下拉使能控制位

0:使能

1:禁止



3.2.8 IOPAGE~IOCC/P6ODCR (P6 开漏输出控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6OD<7>	P6OD<6>	P6OD<5>	P6OD<4>	P6OD<3>	P6OD<2>	P6OD<1>	P6OD<0>

Port6 端口开漏功能控制

- 1:使能
- 0:禁止 (默认)

3.2.9 IOPAGE~IOCD/P6PHCR (P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 端口上拉控制

- 0:使能
- 1:禁止 (默认)

3.2.10 IOPAGE~IOCE/WDTCR (看门狗控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	INTEDG	ROC	1	1	1	1

Bit<7>:WDTEN-WDT 使能控制位

- 1:使能
- 0:禁止

Bit<6>:EIS-P60 管脚外部中断使能控制位

- 1:使能
- 0:禁止

在外部中断管脚使能情况下，P60 的 I/O 控制位 (P6CR 的 Bit0) 必须设为“1”。当 EIS 为“0”时，EXINT 通道被屏蔽。为“1”时，EXINT 管脚的状态可以由 P6 端口读取。

Bit<5>:INTEDG-P60 管脚上下沿功能使能控制

- 1:相反 (上升沿触发)
- 0:默认与原来一致 (下降沿触发)

Bit<4>:ROC-ROC-R 功能使能控制

- 1:使能，P5<1:0>弱上拉开启
- 0:禁止 (默认)

当使用 R-option 功能时，可在 P50 和 P51 引脚对地接 430K 电阻，若接电阻则 P50 和 P51 被读成“0”，若不接电阻则 P50 和 P51 被读成“1”。

看门狗寄存器是可读可写的

3.2.11 IOPAGE~IOCF/IMR (中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IE	PWM1IE	PWMOIE	LVDIE	P5ICIE	EXIE	P6ICIE	TCIE

Bit7:PWM2IE-PWM2 中断使能控制位

- 1:使能
- 0:禁止 (默认)

Bit6:PWM1IE-PWM1 中断使能控制位



1:使能

0:禁止（默认）

Bit5:PWMOIE-PWMO 中断使能控制位

1:使能

0:禁止（默认）

Bit4:LVDIE-LVD 状态变化中断使能控制位

1:使能

0:禁止（默认）

注：当 VDD 电压高于设定值时或者当 VDD 电压低于设定值时，LVD 都会进入中断；

Bit3:P5ICIE-P5 端口变化中断使能控制位

1:使能

0:禁止（默认）

Bit2:EXIE-外部中断使能控制位

1:使能

0:禁止（默认）

Bit1:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止（默认）

Bit0:TCIE-TCC 中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

3.2.12 IOPAGE~IOC10/PRDCH0 (PWM0 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD0<11>	PRD0<10>	PRD0<9>	PRD0<8>	PDC0<11>	PDC0<10>	PDC0<9>	PDC0<8>

Bit<7:4>:PRD0<11:8>-PWM0 周期高位

Bit<3:0>:PDC0<11:8>-PWM0 占空比高位

3.2.13 IOPAGE~IOC11/PRDLO (PWM0 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD0<7>	PRD0<6>	PRD0<5>	PRD0<4>	PRD0<3>	PRD0<2>	PRD0<1>	PRD0<0>

Bit<7:0>:PRD0<7:0>-PWM0 周期低位

3.2.14 IOPAGE~IOC12/PDCL0 (PWM0 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC0<7>	PDC0<6>	PDC0<5>	PDC0<4>	PDC0<3>	PDC0<2>	PDC0<1>	PDC0<0>

Bit<7:0>:PDC0<7:0>-PWM0 占空比低位

3.2.15 IOPAGE~IOC13/PRDCH1 (PWM1 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<11>	PRD1<10>	PRD1<9>	PRD1<8>	PDC1<11>	PDC1<10>	PDC1<9>	PDC1<8>



Bit<7:4>:PRD0<11:8>-PWM1 周期高位
 Bit<3:0>:PDC0<11:8>-PWM1 占空比高位

3.2.16 IOPAGE~IOC14/PRDL1 (PWM1 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

Bit<7:0>:PRD0<7:0>-PWM1 周期低位

3.2.17 IOPAGE~IOC15/PDCL1 (PWM1 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC1<7>	PDC1<6>	PDC1<5>	PDC1<4>	PDC1<3>	PDC1<2>	PDC1<1>	PDC1<0>

Bit<7:0>:PDC0<7:0>-PWM1 占空比低位

3.2.18 IOPAGE~IOC16/PRDCH2 (PWM2 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<11>	PRD2<10>	PRD2<9>	PRD2<8>	PDC2<11>	PDC2<10>	PDC2<9>	PDC2<8>

Bit<7:4>:PRD2<11:8>-PWM2 周期高位
 Bit<3:0>:PDC2<11:8>-PWM2 占空比高位

3.2.19 IOPAGE~IOC17/PRDL2 (PWM2 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

Bit<7:0>:PRD2<7:0>-PWM2 周期低位

3.2.20 IOPAGE~IOC18/PDCL2 (PWM2 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<7>	PDC2<6>	PDC2<5>	PDC2<4>	PDC2<3>	PDC2<2>	PDC2<1>	PDC2<0>

Bit<7:0>:PDC2<7:0>-PWM2 占空比低位

3.2.21 IOPAGE~IOC19/PRDCH3 (PWM3 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3<11>	PRD3<10>	PRD3<9>	PRD3<8>	PDC3<11>	PDC3<10>	PDC3<9>	PDC3<8>

Bit<7:4>:PRD3<11:8>-PWM3 周期高位
 Bit<3:0>:PDC3<11:8>-PWM3 占空比高位

3.2.22 IOPAGE~IOC1A/PRDL3 (PWM3 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3<7>	PRD3<6>	PRD3<5>	PRD3<4>	PRD3<3>	PRD3<2>	PRD3<1>	PRD3<0>

Bit<7:0>:PRD3<7:0>-PWM3 周期低位



3.2.23 IOPAGE~IOC1B/PDCL3 (PWM3 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC3<7>	PDC3<6>	PDC3<5>	PDC3<4>	PDC3<3>	PDC3<2>	PDC3<1>	PDC3<0>

Bit<7:0>:PDC3<7:0>-PWM3 占空比低位

3.2.24 IOPAGE~IOC1C/PRDCH4 (PWM4 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD4<11>	PRD4<10>	PRD4<9>	PRD4<8>	PDC4<11>	PDC4<10>	PDC4<9>	PDC4<8>

Bit<7:4>:PRD4<11:8>-PWM4 周期高位

Bit<3:0>:PDC4<11:8>-PWM4 占空比高位

3.2.25 IOPAGE~IOC1D/PRDL4 (PWM4 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD4<7>	PRD4<6>	PRD4<5>	PRD4<4>	PRD4<3>	PRD4<2>	PRD4<1>	PRD4<0>

Bit<7:0>:PRD4<7:0>-PWM4 周期低位

3.2.26 IOPAGE~IOC1E/PDCL4 (PWM4 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC4<7>	PDC4<6>	PDC4<5>	PDC4<4>	PDC4<3>	PDC4<2>	PDC4<1>	PDC4<0>

Bit<7:0>:PDC3<7:0>-PWM4 占空比低位

3.2.27 IOPAGE~IOC1F/PWMSCR (PWM 映射控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM4S	IPWM3S	IPWM2S<1:0>		IPWM1S<1:0>		IPWM0S<1:0>	

Bit<7>:IPWM4S-IPWM4 映射位:

IPWM4S	映射端口
0	P56
1	P57

Bit<6>:IPWM3S-IPWM3 映射位:

IPWM3S	映射端口
0	P55
1	P54

Bit<5:4>:IPWM2S<1:0>-IPWM2 映射位:

IPWM2S<1>	IPWM2S<0>	映射端口
0	0	P63
0	1	P50
1	0	P53

Bit<3:2>:IPWM1S<1:0>-IPWM1 映射位:

IPWM1S<1>	IPWM1S<0>	映射端口
0	0	P64
0	1	P51



Bit<1:0>: IPWMOS<1:0>-IPWMO 映射位:

IPWMOS<1>	IPWMOS<0>	映射端口
0	0	P65
1	0	P52



3.3 GPIO 功能模块

JZ8PE2502D 有 2 组双向 I/O 端口，共 16 个输入，16 个输出，大部分 I/O 可以复用为其它功能；

16 个可编程上拉 I/O 引脚:P50~P57, P60~P67;

15 个可编程下拉 I/O 引脚:P50~P56, P60~P67;

16 个可编程驱动增强 I/O 引脚:P50~P57, P60~P67;(端口驱动增强等级需在烧录 option 中进行设置, P60、P61、P62、P66、P67 可配置四级驱动增强, 其余 IO 可配置一级驱动增强)

8 个可编程弱驱动 I/O 引脚:P50~P57;

8 个可编程漏极开路 I/O 引脚:P60~P67;

端口输入特性表格如下:

端口	EMT
P50~P57	0.28VDD
P60~P67	0.2VDD/0.4VDD

3.3.1 GPIO 寄存器说明

RPAGE~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

PORT5 数据寄存器, 可读可写

RPAGE~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

PORT6 数据寄存器, 可读可写

IOPAGE~IOC5/P5CR (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7>	P5CR<6>	P5CR<5>	P5CR<4>	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入

0:输出

IOPAGE~IOC6/P6CR (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出

1:输入 (默认)



IOPAGE~IOC8/PHDCR0 (上下拉控制寄存器 0)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	P7PD<1>	P7PD<0>	-	-	P7PH<1>	P7PH<0>

Bit<5:4>:P7PD<1:0>-P7 端口下拉使能位

Bit<1:0>:P7PH<1:0>-P7 端口上拉使能位

0:使能

1:禁止

IOPAGE~IOC9/PHDCR1 (上下拉控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Bit<7:4>:P6D<7:4>-P6<7:4>管脚的下拉使能控制位

Bit<3:0>:P5H<3:0>-P5<3:0>管脚的上拉使能控制位

0:内部上下拉使能

1:内部上下拉禁止

PHDCR1 寄存器是可读可写的

IOPAGE~IOCA/PHDCR2 (上下拉控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	P5PD<6>	P5PD<5>	P5PD<4>	P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>

Bit<6:4>:P5PD<6:4>-P5<6:4>管脚的下拉使能控制位

Bit<3:0>:P5PH<7:4>-P5<7:4>管脚的上拉使能控制位

0:内部上下拉使能

1:内部上下拉禁止

IOPAGE~IOCB/PDCR (下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<3:0>				P5PD<3:0>			

Bit<7:4>:P6PD<3:0>-P6<3:0>下拉使能控制位

Bit<3:0>:P5PD<3:0>-P5<3:0>下拉使能控制位

0:使能

1:禁止

IOPAGE~IOCC (P6 端口开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6OD<7>	P6OD<6>	P6OD<5>	P6OD<4>	P6OD<3>	P6OD<2>	P6OD<1>	P6OD<0>

Port6 端口开漏功能控制

1:使能

0:禁止 (默认)



IOPAGE~IOCD/P6PHCR (P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 端口上拉控制

- 0: 使能
- 1: 禁止 (默认)

RPAGE~R75/P5HDCR (P5 高拉电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HD<7>	P5HD<6>	P5HD<5>	P5HD<4>	P5HD<3>	P5HD<2>	P5HD<1>	P5HD<0>

Bit<7:0>: P5 高拉电流控制位

- 1: 使能
- 0: 禁止

RPAGE~R76/P5HSCR (P5 高灌电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HS<7>	P5HS<6>	P5HS<5>	P5HS<4>	P5HS<3>	P5HS<2>	P5HS<1>	P5HS<0>

Bit<7:0>: P5 高灌电流控制位

- 1: 使能
- 0: 禁止

RPAGE~R77/P6HDCR (P6 高拉电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<7>	P6HD<6>	P6HD<5>	P6HD<4>	P6HD<3>	P6HD<2>	P6HD<1>	P6HD<0>

Bit<7:0>: P6 高拉电流控制位

- 1: 使能
- 0: 禁止

RPAGE~R78/P6HSCR (P6 高灌电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HS<7>	P6HS<6>	P6HS<5>	P6HS<4>	P6HS<3>	P6HS<2>	P6HS<1>	P6HS<0>

Bit<7:0>: P6 高灌电流控制位

- 1: 使能
- 0: 禁止

RPAGE~R79/P5WDCR (P5 弱拉电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WD<7>	P5WD<6>	P5WD<5>	P5WD<4>	P5WD<3>	P5WD<2>	P5WD<1>	P5WD<0>

Bit<7:0>: P5 弱拉电流控制位

- 1: 使能
- 0: 禁止



RPAGE~R7A/P5WSCR(P5 弱灌电流控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WS<7>	P5WS<6>	P5WS<5>	P5WS<4>	P5WS<3>	P5WS<2>	P5WS<1>	P5WS<0>

Bit<7:0>:P5 弱灌电流控制位

1:使能

0:禁止



3.4 TCC 定时器功能模块

TCC 是一个 8 位定时/计数器，TCC 时钟源可以选择内部时钟或外部输入信号（由 TCC 引脚输入，触发沿可以选择）。如果是内部时钟作为 TCC 时钟源，每个指令周期 TCC 加一（无预分频比）。指令周期是几个时钟周期由 CODE OPTION 中选择几个 CLKS 决定。如果 TCC 选择外部时钟输入作为 TCC 时钟源，TCC 将在 TCC 引脚输入每个下降沿或上升沿加 1。

3.4.1 TCC 定时器寄存器说明

CONT（控制寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RTCS	INTE	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<5>:TS-TCC 信号源选择位

- 0: 内部指令周期时钟作为 TCC 时钟源
- 1: 外部输入信号（P54 需要设置为输入口）

Bit<4>:TE-TCC 信号边沿选择位

- 0: TCC 引脚信号发生由低到高变化加 1
- 1: TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-预分频器分配位

- 1:WDT
- 0:TCC

Bit<2:0>:PSR<2:0>-预分频选择控制位:

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

RPAGE~R1 (TCC 数据计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 数据寄存器，可读可写

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IF	PWM1IF	PWM0IF	LVDIF	P5ICIF	EXIF	P6ICIF	TCIF

Bit<0>:TCIF-TCC 中断标志位

- 1: 有中断
- 0: 无中断



RF 寄存器可读可写，但只能写 0

注意：清除中断标志位时，必须使用 MOV RF, A 操作，不能使用 BTC 和 AND RF, A 指令操作。

IOPAGF~IOCF(中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IE	PWM1IE	PWMOIE	LVDIE	P5ICIE	EXIE	P6ICIE	TCIE

Bit<0>:TCIE-TCC 溢出中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

3.4.2 TCC 定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值（选择作为计时器或计数器及预分频比）；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外部信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF 寄存器中的 TCIE（Bit0）为 1，并执行 ENI 指令；
- 5、中断程序部分需手动保存 ACC、R3、R4 寄存器的值，执行 RETI 指令后，退出中断前要清除 TCC 中断标志位，并手动恢复保存 ACC、R3、R4 寄存器的值。

3.4.3 TCC 定时计算说明

TCC 定时功能通过写值到 TCC 寄存器，给定时器赋初始值，定时器从初始值位置开始累加，直至定时器溢出产生 Th 中断。

TCC 定时时间计算公式（选择内部指令周期时钟）：

TCC 定时时间=（系统时钟分频/FOSC）*TCC 分频*（256-TCC 初始值）

例：

系统时钟分频=2clocks，Fosc=8Mhz，TCC 分频=4 分频，TCC 初始值=156；

则 TCC 定时时间=（2/8）* 4 *（256-156）=100us

TCC 定时时间计算公式（选择外部输入时钟）：

TCC 定时时间=（外部输入时钟）*TCC 分频*（256-TCC 初始值）

例：

外部输入时钟=1Mhz，TCC 分频=4 分频，TCC 初始值=156；

则 TCC 定时时间= 1* 4 *（256-156）=400us



3.5 WDT 看门狗功能模块

WDT 有一个自由运行的片内 RC 振荡器，当 CUP 时钟关闭（即休眠模式）后，WDT 还可以继续运行。无论是普通模式还是休眠模式，WDT 定时溢出将使 MCU 复位（若 WDT 使能）。WDT 可在正常模式下由软件设置禁止或使能。

如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTEN 位选择“1”，两个条件缺一不可。

3.5.1 WDT 看门狗寄存器说明

CONT（控制寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RTCS	INTE	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<3>:PAB-预分频器分配位

1:WDT

0:TCC

Bit<2:0>:PSR<2:0>-预分频选择控制位:

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

IOPAGE~IOCE/WDTCR(看门狗控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	INTEDG	ROC	1	1	1	1

Bit<7>:WDTEN-WDT 使能控制位

1:使能

0:禁止（默认）

看门狗寄存器是可读可写的

3.5.2 WDT 看门狗设置说明

WDT 看门狗溢出唤醒复位

- 1、设定 IOCE 寄存器中 Bit7(WDTEN)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 CONT 寄存器的 Bit3~Bit0 位；
- 3、设置 OPTION 中，看门狗选项使能；
- 4、当 WDT 溢出唤醒后，系统进入复位状态。

注意:当 WDT 溢出唤醒中断使用计数功能时，WDT 预分频一定要大于 1:1；



3.6 端口状态改变唤醒功能模块

3.6.1 睡眠唤醒方式说明

芯片执行“SLEEP”指令可以转到休眠模式（低功耗模式）。进入休眠模式时，系统时钟停止，所有模块停止工作，WDT（若使能）清0，但继续运行。

单片机可被如下情况唤醒：

- 1、RST 脚输入低电平唤醒；
- 2、WDT 溢出唤醒；
- 3、端口状态改变唤醒；
- 4、LVD 低压检测唤醒；
- 5、外部引脚中断唤醒；

前2种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

后3种唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP前执行DISI）或执行相应的跳转（SLEEP前执行ENI），并打开相应的使能控制位，跳转到中断向量的位置。本模块主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.6.2 端口状态改变唤醒寄存器说明

RPAGE~RD (P6 端口变化唤醒使能寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口变化唤醒使能

1:使能

0:禁止（默认）

RPAGE~RE (唤醒使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	P5ICIF	-	P5ICIE	EXWK	WDTWK	ICWE	LVDWK

Bit<6>:P5ICIF-P5 端口变化中断标志位

1:有中断

0:无中断

Bit<4>:P5ICIE-P5 端口变化中断使能位

1:使能

0:禁止（默认）

Bit<3>:EXWK-外部中端口唤醒使能位

1:使能

0:禁止（默认）

Bit<2>:WDTWK-WDT 溢出唤醒使能位

1:使能

0:禁止（默认）

Bit<1>:ICWE-端口变化唤醒使能位

1:使能

0:禁止（默认）



Bit<0>:LVDWK-LVD 唤醒使能位

1:使能

0:禁止 (默认)

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<1>:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

RF 寄存器可读可写, 但只能写 0

IOPAGF~IOCF (中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit<1>:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止 (默认)

IOCF 寄存器可读可写

RPAGE~R4D (P5 端口变化唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WK<7>	P5WK<6>	P5WK<5>	P5WK<4>	P5WK<3>	P5WK<2>	P5WK<1>	P5WK<0>

Bit<7:0>:P5WK<7:0>-P5 端口变化唤醒使能位

1:使能

0:禁止 (默认)

3.6.3 端口状态改变查询方式唤醒设置

- 1、PORT 端口唤醒口设为输入;
- 2、可以根据需要选择唤醒口的内部上拉或下拉;
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT;
- 4、使能 PORT 端口状态改变中断;
- 5、使能端口状态改变独立中断及唤醒控制;
- 6、执行 DISI 指令, 不进入中断地址口;
- 7、读取 PORT 端口 (如 MOV 0X06, 0X06);
- 8、执行 “SLEP” 指令, 进入睡眠 SLEEP 模式;
- 9、唤醒后, 执行 SLEP 的下一条指令。

3.6.4 端口状态改变中断方式唤醒设置

- 1、PORT 端口唤醒口设为输入;
- 2、可以根据需要选择唤醒口的内部上下拉;
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT;



- 4、使能端口状态改变独立中断及唤醒控制；
- 5、使能 PORT 端口状态改变中断；
- 6、执行“ENI”指令，等待进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X06, 0X06）；
- 8、执行“SLEP”指令，进入睡眠 SLEEP 模式；
- 9、唤醒后会进入中断地址口，退出中断后，执行 SLEP 下一条指令。



3.7 LVD 电压检测功能模块

JZ8PE2502D 具有低电压检测（LVD）功能，总共可编程选择 28 个电压值，当 CPU 的工作电压下降到设定值时，RPAGE-R8 寄存器的 Bit6 位被置 1。而当 CPU 的工作电压由低于设定值上升到高于设定值后，RPAGE-R8 寄存器的 Bit6 位被置 0。

3.7.1 LVD 电压检测寄存器说明

RPAGE~R8/LVDCON (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LV DEN	LV DF	EX VEN	LV DSEL<4:0>				

Bit<7>:LV DEN

- 1:LVD 使能
- 0:LVD 禁止

Bit<6>:LV DF

- 1:LVD 低于预设电压点
- 0:LVD 高于预设电压点

Bit<5>:EX VEN

- 1:LVD 检测电压选择 P57 端口输入
- 0:LVD 检测电压选择 VDD

LV DSEL<4:0>:

LV DSEL<4>	LV DSEL<3>	LV DSEL<2>	LV DSEL<1>	LV DSEL<0>	电压点
0	0	0	0	0	2.0v
0	0	0	0	1	2.1v
0	0	0	1	0	2.2v
0	0	0	1	1	2.3v
0	0	1	0	0	2.4v
0	0	1	0	1	2.5v
0	0	1	1	0	2.6v
0	0	1	1	1	2.7v
0	1	0	0	0	2.8v
0	1	0	0	1	2.9v
0	1	0	1	0	3.0v
0	1	0	1	1	3.1v
0	1	1	0	0	3.2v
0	1	1	0	1	3.3v
0	1	1	1	0	3.4v
0	1	1	1	1	3.5v
1	0	0	0	0	3.6v
1	0	0	0	1	3.7v
1	0	0	1	0	3.8v
1	0	0	1	1	3.9v
1	0	1	0	0	4.0v
1	0	1	0	1	4.1v



1	0	1	1	0	4.2v
1	0	1	1	1	4.3v
1	1	0	0	0	4.4v
1	1	0	0	1	4.5v
1	1	0	1	0	4.6v
1	1	0	1	1	4.7v

RPAGE~RF/RIFG(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IF	PWM1IF	PWMOIF	LVDIF	P5ICIF	EXIF	P6ICIF	TCIF

Bit<4>:LVDIF-LVD 状态变化中断标志位

1:有中断 (LVDF 从 0 变为 1 或者从 1 变为 0 时置 1, 软件清 0)

0:无中断

RF 寄存器可读可写, 但只能写 0

注意: 清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。

IOPAGE~IOCF/RIEN(中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IE	PWM1IE	PWMOIE	LVDIE	P5ICIE	EXIE	P6ICIE	TCIE

Bit4:LVDIE-LVD 状态变化中断使能控制位

1:使能

0:禁止 (默认)

注: 当 VDD 电压高于设定值时或者当 VDD 电压低于设定值时, LVD 都会进入中断;

IOCF 寄存器可读可写

3.7.2 LVD 电压检测查询方式设置说明

- 1、设定 LVD 的电压值 (RPAGE~R8 寄存器的 LVDSEL<4>-LVDSEL<0> 位);
- 2、设置 LVD 检测端口 (RPAGE~R8 寄存器 EXVEN 位);
- 3、使能 LVD 功能 (RPAGE~R8 寄存器 LVDEN 位);
- 4、用 MOV 指令读取 RPAGE~R8 寄存器的值, 并赋值到通用寄存器;
- 5、判断通用寄存器中, RPAGE~R8 寄存器的 LVDF 位, 执行相应的动作。



3.8 PWM 脉宽调制功能模块

JZ8PE2502D 内置 5 个带预分频器的计数器，用来产生脉宽调制信号，都是 12Bit 精度。PWM 输出波形由周期及占空因数决定，传输速率为周期倒数。

PWM0, PWM1, PWM2 带有周期溢出中断，可在中断使能控制寄存器（IMR）配置，使能后可跳转到中断。

PWM0, PWM1, PWM2, PWM3 带有死区控制、互补输出功能，可在 PWM 映射寄存器（PWMSCR）配置对应 IPWM 映射输出端口，PWM 死区控制寄存器（DEADCR）、PWM 死区定时寄存器（DEADTR）配置死区使能、死区定时时间。

PWM0, PWM1, PWM2, PWM3, PWM4 均带有唤醒功能，在 IDLE（空闲模式）下，PWM 在 CPU 模式控制寄存器（CPUCON）中选择 PWMCKS=1 并且使能 PWMWE，可在周期溢出后唤醒系统。

3.8.1 PWM 脉宽调制寄存器说明

RPAGE~R70/PWMOCR (PWM0 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TOEN	IPWMOEN	PWMOEN	PWMOCKS	TOPTEN	TOPSR<2>	TOPSR<1>	TOPSR<0>

Bit<7>: TOEN-PWM0 计数器使能

(若设置 PRD0 寄存器，TO 计数到 PRD 预设值复位; TO 从 1 开始计数)

1: 使能

0: 禁止

Bit<6>: IPWMOEN

1: IPWMO 使能（需要设置相应口为输出才能输出 PWM 波形）

0: 禁止

Bit<5>: PWMOEN

1: PWM0 使能（需要设置相应口为输出才能输出 PWM 波形）

0: 禁止

Bit<4>: PWMOCKS

1: PWM0 时钟选择 Fosc

0: PWM0 时钟选择 Fcpu

Bit<3>: TOPTEN-TO 预分频选择控制位

Bit<2:0>: TOPSR2~TOPSR0:

TOPTEN	TOPSR2	TOPSR1	TOPSR0	TO 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256



RPAGE~R71/PWM1CR(PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1EN	IPWM1EN	PWM1EN	PWM1CKS	T1PTEN	T1PSR<2>	T1PSR<1>	T1PSR<0>

Bit<7>:T1EN-PWM1 计数器使能

(若设置 PRD1 寄存器, T0 计数到 PRD1 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM1EN

1:IPWM1 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM1EN

1:PWM1 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM1CKS

1:PWM1 时钟选择 Fosc

0:PWM1 时钟选择 Fcpu

Bit<3>:T1PTEN-T1 预分频选择控制位

Bit<2:0>:T1PSR2~T1PSR0:

T1PTEN	T1PSR2	T1PSR1	T1PSR0	T1 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

RPAGE~R72/PWM2CR(PWM2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	IPWM2EN	PWM2EN	PWM2CKS	T2PTEN	T2PSR<2>	T2PSR<1>	T2PSR<0>

Bit<7>:T2EN-PWM2 计数器使能

(若设置 PRD2 寄存器, T0 计数到 PRD2 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM2EN

1:IPWM2 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM2EN

1:PWM2 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM2CKS

1:PWM2 时钟选择 Fosc



0: PWM2 时钟选择 F_{cpu}

Bit<3>: T2PTEN-T2 预分频选择控制位

Bit<2:0>: T2PSR2~T2PSR0:

T2PTEN	T2PSR2	T2PSR1	T2PSR0	T2 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

RPAGE~R73/PWM3CR (PWM3 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T3EN	IPWM3EN	PWM3EN	PWM3CKS	T3PTEN	T3PSR<2>	T3PSR<1>	T3PSR<0>

Bit<7>: T3EN-PWM3 计数器使能

(若设置 PRD3 寄存器, T0 计数到 PRD3 预设值复位; T0 从 1 开始计数)

1: 使能

0: 禁止

Bit<6>: IPWM3EN

1: IPWM3 使能 (需要设置相应口为输出才能输出 PWM 波形)

0: 禁止

Bit<5>: PWM3EN

1: PWM3 使能 (需要设置相应口为输出才能输出 PWM 波形)

0: 禁止

Bit<4>: PWM3CKS

1: PWM3 时钟选择 F_{osc}

0: PWM3 时钟选择 F_{cpu}

Bit<3>: T3PTEN-T3 预分频选择控制位

Bit<2:0>: T3PSR2~T3PSR0:

T3PTEN	T3PSR2	T3PSR1	T3PSR0	T3 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256



RPAGE~R74/PWM4CR (PWM4 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T4EN	IPWM4EN	PWM4EN	PWM4CKS	T4PTEN	T4PSR<2>	T4PSR<1>	T4PSR<0>

Bit<7>:T4EN-PWM4 计数器使能

(若设置 PRD4 寄存器, T0 计数到 PRD4 预设值复位;T0 从 1 开始计数)

1:使能

0:禁止

Bit<6>:IPWM4EN

1:IPWM4 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<5>:PWM4EN

1:PWM4 使能 (需要设置相应口为输出才能输出 PWM 波形)

0:禁止

Bit<4>:PWM4CKS

1:PWM4 时钟选择 Fosc

0:PWM4 时钟选择 Fcpu

Bit<3>:T4PTEN-T4 预分频选择控制位

Bit<2:0>:T4PSR2~T4PSR0:

T4PTEN	T4PSR2	T4PSR1	T4PSR0	T4 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

RPAGE~R7B/DEADCR (PWM 死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADE<3>	DEADE<2>	DEADE<1>	DEADE<0>	DEADCKS	DEADP<2>	DEADP<1>	DEADP<0>

Bit<7:4>:DEADEN<3:0>-PWM 死区使能控制位

DEADEN<0> PWM0 死区使能控制位

DEADEN<1> PWM1 死区使能控制位

DEADEN<2> PWM2 死区使能控制位

DEADEN<2> PWM3 死区使能控制位

0:禁止

1:使能

Bit<3>:DEADCKS-PWM 死区时钟选择

1:选择 Fosc 作为死区时钟

0:选择 Fcpu 作为死区时钟

Bit<2:0>:DEADP-PWM 死区时间设置



DEADP<2>	DEADP<1>	DEADP<0>	死区定时分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:32
1	1	0	1:64
1	1	1	1:128

RPAGE~R7C/DEADTR (PWM 死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADT<7>	DEADT<6>	DEADT<5>	DEADT<4>	DEADT<3>	DEADT<2>	DEADT<1>	DEADT<0>

Bit<7:0>:DEADT<7:0>-死区定时器

IOPAGE~IOC10/PRDCHO (PWM0 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD0<11>	PRD0<10>	PRD0<9>	PRD0<8>	PDC0<11>	PDC0<10>	PDC0<9>	PDC0<8>

Bit<7:4>:PRD0<11:8>-PWM0 周期高位

Bit<3:0>:PDC0<11:8>-PWM0 占空比高位

IOPAGE~IOC11/PRDLO (PWM0 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD0<7>	PRD0<6>	PRD0<5>	PRD0<4>	PRD0<3>	PRD0<2>	PRD0<1>	PRD0<0>

Bit<7:0>:PRD0<7:0>-PWM0 周期低位

IOPAGE~IOC12/PDCL0 (PWM0 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC0<7>	PDC0<6>	PDC0<5>	PDC0<4>	PDC0<3>	PDC0<2>	PDC0<1>	PDC0<0>

Bit<7:0>:PDC0<7:0>-PWM0 占空比低位

IOPAGE~IOC13/PRDCH1 (PWM1 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<11>	PRD1<10>	PRD1<9>	PRD1<8>	PDC1<11>	PDC1<10>	PDC1<9>	PDC1<8>

Bit<7:4>:PRD0<11:8>-PWM1 周期高位

Bit<3:0>:PDC0<11:8>-PWM1 占空比高位

IOPAGE~IOC14/PRDL1 (PWM1 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

Bit<7:0>:PRD0<7:0>-PWM1 周期低位



IOPAGE~IOC15/PDCL1 (PWM1 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC1<7>	PDC1<6>	PDC1<5>	PDC1<4>	PDC1<3>	PDC1<2>	PDC1<1>	PDC1<0>

Bit<7:0>:PDC0<7:0>-PWM1 占空比低位

IOPAGE~IOC16/PRDCH2 (PWM2 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<11>	PRD2<10>	PRD2<9>	PRD2<8>	PDC2<11>	PDC2<10>	PDC2<9>	PDC2<8>

Bit<7:4>:PRD2<11:8>-PWM2 周期高位

Bit<3:0>:PDC2<11:8>-PWM2 占空比高位

IOPAGE~IOC17/PRDL2 (PWM2 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

Bit<7:0>:PRD2<7:0>-PWM2 周期低位

IOPAGE~IOC18/PDCL2 (PWM2 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<7>	PDC2<6>	PDC2<5>	PDC2<4>	PDC2<3>	PDC2<2>	PDC2<1>	PDC2<0>

Bit<7:0>:PDC2<7:0>-PWM2 占空比低位

IOPAGE~IOC19/PRDCH3 (PWM3 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3<11>	PRD3<10>	PRD3<9>	PRD3<8>	PDC3<11>	PDC3<10>	PDC3<9>	PDC3<8>

Bit<7:4>:PRD3<11:8>-PWM3 周期高位

Bit<3:0>:PDC3<11:8>-PWM3 占空比高位

IOPAGE~IOC1A/PRDL3 (PWM3 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3<7>	PRD3<6>	PRD3<5>	PRD3<4>	PRD3<3>	PRD3<2>	PRD3<1>	PRD3<0>

Bit<7:0>:PRD3<7:0>-PWM3 周期低位

IOPAGE~IOC1B/PDCL3 (PWM3 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC3<7>	PDC3<6>	PDC3<5>	PDC3<4>	PDC3<3>	PDC3<2>	PDC3<1>	PDC3<0>

Bit<7:0>:PDC3<7:0>-PWM3 占空比低位

IOPAGE~IOC1C/PRDCH4 (PWM4 周期占空高位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD4<11>	PRD4<10>	PRD4<9>	PRD4<8>	PDC4<11>	PDC4<10>	PDC4<9>	PDC4<8>

Bit<7:4>:PRD4<11:8>-PWM4 周期高位



Bit<3:0>:PDC4<11:8>-PWM4 占空比高位

IOPAGE~IOC1D/PRDL4 (PWM4 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD4<7>	PRD4<6>	PRD4<5>	PRD4<4>	PRD4<3>	PRD4<2>	PRD4<1>	PRD4<0>

Bit<7:0>:PRD4<7:0>-PWM4 周期低位

IOPAGE~IOC1E/PDCL4 (PWM4 占空比低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC4<7>	PDC4<6>	PDC4<5>	PDC4<4>	PDC4<3>	PDC4<2>	PDC4<1>	PDC4<0>

Bit<7:0>:PDC3<7:0>-PWM4 占空比低位

IOPAGE~IOC1F/PWMSCR (PWM 映射控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM4S	IPWM3S	IPWM2S<1:0>		IPWM1S<1:0>		IPWMOS<1:0>	

Bit<7>:IPWM4S-IPWM4 映射位:

IPWM4S	映射端口
0	P56
1	P57

Bit<6>:IPWM3S-IPWM3 映射位:

IPWM4S	映射端口
0	P55
1	P54

Bit<5:4>:IPWM2S<1:0>-IPWM2 映射位:

IPWM2S<1>	IPWM2S<0>	映射端口
0	0	P63
0	1	P50
1	0	P53

Bit<3:2>:IPWM1S<1:0>-IPWM1 映射位:

IPWM1S<1>	IPWM1S<0>	映射端口
0	0	P64
0	1	P51

Bit<1:0>:IPWMOS<1:0>-IPWMO 映射位:

IPWMOS<1>	IPWMOS<0>	映射端口
0	0	P65
1	0	P52



3.8.2 PWM 脉宽调制设置说明

- 1、设置 PWMxCR 寄存器, 选择相应的定时器为 PWM 模式, 定时器的分频比, 定时器中断类型 (若使能 PWM 中断), 定时器的时钟源等;
- 2、写 PRDCHx 和 PRDLx 寄存器的值, 确定该 PWM 通道的周期;
- 3、写 PRDCHx 和 PDCLx 寄存器的值, 确定该 PWM 通道的占空比;
- 4、使能相应定时器;
- 5、使能或者禁止 PWM 对应的定时器中断, 并输入“ENI”或“DISI”指令 (如果需要)。

3.8.3 PWM 脉宽调制计算说明

PWM 周期计算公式:

PWM 周期=PRD* (1/Fosc) * (Tx 分频) -PWM 时钟源选择 Fosc

PWM 周期=PRD* (1/Fosc) *时钟分频* (Tx 分频) -PWM 时钟源选择 Fcpu

例:

PRD=100, Fosc=8Mhz, Tx 分频选择 2 分频, 时钟分频 2 分频;

PWM 周期=100* (1/8) *2=25us -PWM 时钟源选择 Fosc

PWM 周期=100* (1/8) *2 *2=50us -PWM 时钟源选择 Fcpu

占空比计算同上。

3.8.4 PWM 死区控制设置说明

JZ8PE2502D PWM 带有死区控制、互补输出功能, 通过配置 R7B- DEADCR、R7C - DEADCR、IOCF1- PWMSCR 寄存器自由设定死区时间及互补输出 IO 端口。

PWM0、PWM1、PWM2、PWM3 具有死区控制功能, 通过配置死区控制寄存器 R7B 的 bit<7:4> 位使能对应 PWM 的死区控制。通过配置死区控制寄存器 R7B 的 bit<2:0>, 选择 PWM 的死区时钟分频选项, 通过配置 R7B 的 bit<3>, 选择死区时钟输入源为 Fosc 或 Fcpu。通过赋值 PWM 死区定时寄存器的 R7C bit<7:0>, 设置 PWM 死区计数器的计数时间, 当死区计数器的值等于死区定时寄存器 (R7C - DEADTR) 的值, 执行 PWM 原始的高低电平转换, 即实现 PWM 死区时间。

通过配置 IOCF1- PWMSCR 寄存器控制 IPWM 对应的映射输出端口, PWMSCR 寄存器的 bit<7>位配置 IPWM4 的输出端口, bit<6>位配置 IPWM3 的输出端口, bit<5:4>位配置 IPWM2 的输出端口, bit<3:2>位配置 IPWM1 的输出端口, bit<1:0>位配置 IPWM0 的输出端口。IPWM4 端口仅为 PWM4 的反相输出, 不具有死区控制功能。其他 IPWM 的端口可以配合死区时间, 做为互补输出端口。



3.9 中断功能模块

JZ8PE2502D 具有 8 个中断源, 无论是使用其中哪一个中断, 都必须使总中断使能, 即“ENI”指令。中断向量地址为固定地址 008H。下面分别是每个中断的特性, 中断地址及优先级别:

	中断源	使能条件	中断标志	中断向量
内部	TCC 溢出中断	ENI + TCIE = 1	TCIF	008H
外部	P6 端口变化中断	ENI + P6ICIE = 1	P6ICIF	008H
外部	外部中断	ENI + EXIE = 1	EXIF	008H
外部	P5 端口变化中断	ENI + P5ICIE = 1	P5ICIF	008H
外部	低电压检测中断	ENI + LVDIE = 1	LVDIF	008H
内部	PWM0 周期溢出中断	ENI + PWM0IE = 1	PWM0IF	008H
内部	PWM1 周期溢出中断	ENI + PWM1IE = 1	PWM1IF	008H
内部	PWM2 周期溢出中断	ENI + PWM2IE = 1	PWM2IF	008H

RPAGE~RF 为中断状态标志寄存器, 它们记录了当某个中断产生中断请求后的中断标志位。PRAGE~RE, IOPAGF~IOCF 为中断设置寄存器, 中断的允许与禁止在这 2 个寄存器中设置。总中断的允许是通过下“ENI”指令, 相反, 总中断的禁止是通过下“DISI”指令。当一个中断产生时, 它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零, 这样才能避免中断的误动作。

当执行中断子程序时, ACC、R3、R4 的内容需要手动保留起来, 直到离开中断子程序后, 需要手动将被保留的值载入 ACC、R3、R4, 如此是为了避免在执行中断子程序时, 有将 ACC、R3、R4 的值改变, 导致回主程序时发生错误。

3.9.1 中断寄存器说明

RPAGE~RF/RIFG(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IF	PWM1IF	PWM0IF	LVDIF	P5ICIF	EXIF	P6ICIF	TCIF

Bit<7>:PWM2IF-PWM2 周期溢出中断标志位

- 1: 有中断
- 0: 无中断

Bit<6>:PWM1IF-PWM1 周期溢出中断标志位

- 1: 有中断
- 0: 无中断

Bit<5>:PWM0IF-PWM0 周期溢出中断标志位

- 1: 有中断
- 0: 无中断

Bit<4>:LVDIF-LVD 状态变化中断标志位

- 1: 有中断 (LVDF 从 0 变为 1 或者从 1 变为 0 时置 1, 软件清 0)
- 0: 无中断

Bit<3>:P5ICIF-P5 端口变化中断标志位

- 1: 有中断
- 0: 无中断



Bit<2>:EXIF-外部中断标志位

1:有中断 (由 INT 引脚上的下降沿置 1, 软件清 0)

0:无中断

Bit<1>:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写, 但只能写 0

注意:清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。

IOPAGE~IOCF/RIEN(中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2IE	PWM1IE	PWMOIE	LVDIE	P5ICIE	EXIE	P6ICIE	TCIE

Bit7:PWM2IE-PWM2 中断使能控制位

1:使能

0:禁止 (默认)

Bit6:PWM1IE-PWM1 中断使能控制位

1:使能

0:禁止 (默认)

Bit5:PWMOIE-PWMO 中断使能控制位

1:使能

0:禁止 (默认)

Bit4:LVDIE-LVD 状态变化中断使能控制位

1:使能

0:禁止 (默认)

注:当 VDD 电压高于设定值时或者当 VDD 电压低于设定值时, LVD 都会进入中断;

Bit3:P5ICIE-P5 端口变化中断使能控制位

1:使能

0:禁止 (默认)

Bit2:EXIE-外部中断使能控制位

1:使能

0:禁止 (默认)

Bit1:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止 (默认)

Bit0:TCIE-TCC 中断使能控制位

1:使能

0:禁止 (默认)

IOCF 寄存器可读可写



3.9.2 外部中断设置说明

- 1、设置中断作为输入口，将中断端口设置为输入状态；
 - 2、设置 RIEN 寄存器中断口；
 - 3、使能外部中断 EXIE=1；
 - 4、根据客户需要如需要进入中断则使能 ENI，如果不进入中断，则禁止 DISI；
- 其他中断说明，在相应的模块的中有介绍。



3.10 复位功能模块

3.10.1 复位功能概述

JZ8PE2502D 系统提供 3 种复位方式：

- 1、上电复位和低压复位；
- 2、RESET 脚输入低电平复位；
- 3、WDT 看门狗溢出复位；

第一种复位时间由 OPTION 中的复位时间选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
PWRT=WDT=18ms	上电复位时间= 18ms
PWRT=WDT=4.5ms	上电复位时间= 4.5ms
PWRT=WDT=72ms	上电复位时间= 72ms
PWRT=WDT=288ms	上电复位时间= 288ms
PWRT=140us WDT=18ms	上电复位时间=140us
PWRT=140us WDT=4.5ms	上电复位时间=140us
PWRT=140us WDT=72ms	上电复位时间=140us
PWRT=140us WDT=288ms	上电复位时间=140us

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.10.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。



3.10.3 WDT 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态:系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化:所有的系统寄存器被置为默认状态；

振荡器开始工作:振荡器开始提供系统时钟；

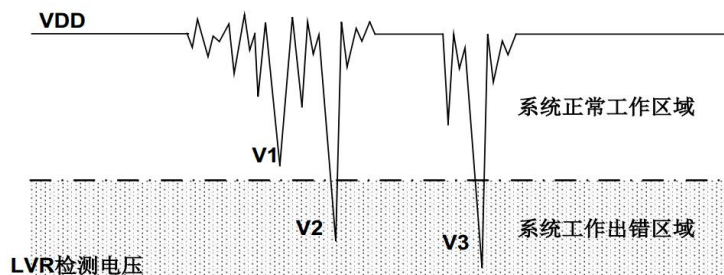
执行程序:上电结束，程序开始运行。

看门狗定时器应用注意事项：

- 1、对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；
- 2、不能在中断中对看门狗清零，否则无法侦测到主程序跑飞的状况；
- 3、程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。

3.10.4 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电复位可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVD 检测电压，因此系统维持在死区。

AC 运用中：

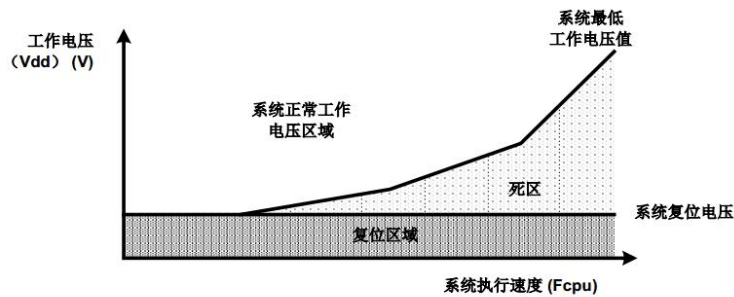
系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。



在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3. 10.5 工作频率与 LVR 低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，再选择工作频率的时候，要选择相应的 LVR 复位电压点。如下表：

工作频率	LVR 复位电压点
IRC-8M, 2Clock	LVR=2.7V 及以上
IRC-1M, 2Clock	LVR=1.8V 及以上
IRC-910K, 2Clock	LVR=1.8V 及以上

注：此工作频率和 LVR 复位电压点的对应值，只是推荐值，用户在使用过程中，根据用于的具体应用场合可以适当的调整复位电压点。



3.11 系统时钟功能模块

JZ8PE2502D 内部集成了 4 种振荡器，可以通过 OPTION 实现相应配置。具体参看下表：

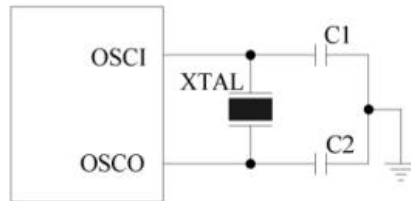
内部振荡器说明

振荡器类型	说明
IRC (内置 RC 振荡器)	可以选择 455K/1M/2M/4M/8M/16M
LXT (低速晶振)	32.768KHz
HXT (高速晶振)	1M~16M

说明:HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

3.11.1 外部晶体振荡器/陶瓷谐振器 (XT)

在大多数应用中，引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



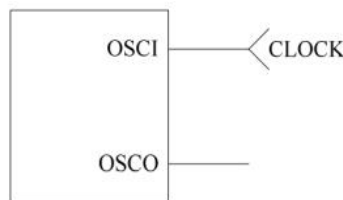
晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
晶体振荡器	LXT (32.768K)	32.768 KHz	40	40
	HXT (1M~16M)	1 MHz	30	30
		2 MHz	30	30
		4 MHz	20	20
		8 MHz	30	30

注:以上数据仅供参考，一切以实物测试为准。

JZ8PE2502D 还可被 OSC1 引脚上的外部时钟信号驱动，其应用图如下：



外部时钟示意图

3.11.2 内部 RC 振荡器模式 (IRC)

JZ8PE2502D 提供内部 RC 模式。

内部 RC 振荡模式有 8MHz, 1MHz, 910KHz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：



Firc	IRC 频率
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz
910 K	IRC 频率选为 910KHz

IRC 频率可以通过烧录器进行自动校正，理论校正精度±1%。

IRC 频漂 (T=25°C, VDD=5V±5%, GND=0V)				
IRC	漂移率			
	温度 (-40°C~+85°C)	电压 (1.8V~5.5V)	制程	Total
16MHz	±5%	±5%	±1%	±11%
2MHz	±5%	±5%	±1%	±11%
4MHz	±5%	±5%	±1%	±11%
8MHz	±5%	±5%	±1%	±11%
1MHz	±5%	±5%	±1%	±11%
455kHz	±5%	±5%	±1%	±11%

JZ8PE2502D 提供了多种分频选择，可以在 OPTION 中选择，适用于更多的场合。如下表：

Clocks	Clocks 分频
2clock	分频为 2clock
4clock	分频为 4clock
8clock	分频为 8clock
16clock	分频为 16clock
32clock	分频为 32clock

3.11.3 时钟模块应用说明

内部振荡器是最常用的振荡模式，该模式可以省去外接的电路；

在使用外打时钟输入时，时钟信号要从 OSCI 输入，OSCO 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。



4 CODE OPTION 寄存器

JZ8PE2502D 在烧录使用中，需要设置不同的选项，如下表：

CODE OPTION	选项	功能描述
封装脚位	14/16/18/20 PIN	芯片脚位选择 14/16/18/20 PIN
	8 PIN	芯片脚位选择 8 PIN
看门狗	使能	WDT 使能
	禁止	WDT 禁止
代码加密	使能	烧录模式数据加密
	禁止	烧录模式数据不加密
振荡模式	IRC 模式	IRC 模式
	LXT 模式	LXT (0K~400K) 模式
	HXT 模式	HXT (400K~16M) 模式
IRC 频率	8M	IRC 频率选择 8M
	1M	IRC 频率选择 1M
	910K	IRC 频率选择 910K
Clocks 分频	2 Clocks	Clocks 分频选择 2 Clocks
	4 Clocks	Clocks 分频选择 4 Clocks
	8 Clocks	Clocks 分频选择 8 Clocks
	16 Clocks	Clocks 分频选择 16 Clocks
	32 Clocks	Clocks 分频选择 32 Clocks
复位时间	PWRT=WDT=4.5ms	唤醒建立时间=WDT 溢出时间 (不分频) = 4.5ms
	PWRT=WDT=18ms	唤醒建立时间=WDT 溢出时间 (不分频) = 18ms
	PWRT=WDT=72ms	唤醒建立时间=WDT 溢出时间 (不分频) = 72ms
	PWRT=WDT=288ms	唤醒建立时间=WDT 溢出时间 (不分频) = 288ms
	PWRT=140us, WDT=4.5ms	唤醒建立时间=140us, WDT 溢出时间 (不分频) =4.5ms
	PWRT=140us, WDT=18ms	唤醒建立时间=140us, WDT 溢出时间 (不分频) =18ms
	PWRT=140us, WDT=72ms	唤醒建立时间=140us, WDT 溢出时间 (不分频) =72ms
	PWRT=140us, WDT=288ms	唤醒建立时间=140us, WDT 溢出时间 (不分频) =288ms
低压复位 (LVR)	1.2V	低压复位点选择 1.2V
	1.6V	低压复位点选择 1.6V
	1.8V	低压复位点选择 1.8V
	2.4V	低压复位点选择 2.4V
	2.7V	低压复位点选择 2.7V
	3.3V	低压复位点选择 3.5V
	3.6V	低压复位点选择 3.9V
	禁止	LVR 禁止 (仅用于测试不可用于量产)
P57 端口	RST	P57 端口作复位功能
	GPIO	P57 端口作通用输入输出
	GPI	P57 端口作通用输入
P57 上拉	使能	P57 端口上拉使能
	禁止	P57 端口上拉禁止
P5/P6 端口唤醒	非独立控制	P5/P6 端口非独立控制唤醒
	独立控制	P5/P6 端口独立控制唤醒
P5/P6 上下拉控制	使能	使能 (上拉: P57-P50, 下拉: P56-P53/P67-P64/P7)
	屏蔽	屏蔽 (上拉: P57-P50, 下拉: P56-P53/P67-P64/P7)
查表范围	1/4K	查表范围在 ROM 的前 1/4K
	2K	查表范围在整个 2K ROM



RTC	使能	RTC 使能
	禁止	RTC 禁止
休眠唤醒设置	兼容老 153 系列	兼容老 153 系列
	休眠时允许多种唤醒源	休眠时允许多种唤醒源同时唤醒
振荡器倍频选项	使能	振荡器倍频使能
	禁止	振荡器倍频禁止
拉灌电流驱动增强	P5/P6 一级驱动增强	P5/P6 一级驱动增强 (IOH=50mA, IOL=60mA)
	P6 端口二级驱动增强	P66-P67/P60-P62 二级驱动增强 (IOH=70mA, IOL=90mA)
	P6 端口三级驱动增强	P66-P67/P60-P62 三级驱动增强 (IOH=90mA, IOL=110mA)
	P6 端口四级驱动增强	P66-P67/P60-P62 四级驱动增强 (IOH=110mA, IOL=130mA)
IRC 振荡器电压源选择	LDO 电压	IRC 振荡器电压源选择 LDO 电压
	VDD 电压	IRC 振荡器电压源选择 VDD 电压



5 芯片电气特性

5.1 芯片极限参数

工作温度(°C):	(√) E:-40-85;
存储温度(°C):	(√) -65~+150;
极限电压(V)	(√) 其它 <u>-0.3~6;</u>
极限输入电压 (V)	(√) 其它 <u>GND-0.3~VDD+1;</u>
极限输出电压 (V)	(√) 其它 <u>GND-0.3~VDD+1;</u>

5.2 芯片直流参数

(T=25°C, VDD=5±5%V, GND=0V)

符号	参数说明	条件	最小	典型	最大	单位
IRC1	IRC1 (校正后)	OPTION 选择 1MHz	-	1	-	MHz
IRC2	IRC2 (校正后)	OPTION 选择 8MHz	-	8	-	MHz
IRC3	IRC3 (校正后)	OPTION 选择 910KHz	-	910	-	KHz
IOH1	输出高电平驱动 (除 P60-62, P66, P67)	Ioh=4.4V	-	9	-	mA
IOH2	输出高电平驱动一级增强 (除 P60-62, P66, P67)	Ioh=4.4V	-	15	-	mA
IOH3	输出高电平驱动二级增强 (P60-62, P66, P67)	Ioh=4.4V	-	60	-	mA
IOH4	输出高电平驱动三级增强 (P60-62, P66, P67)	Ioh=4.4V	-	70	-	mA
IOH5	输出高电平驱动四级增强 (P60-62, P66, P67)	Ioh=4.4V	-	75	80	mA
IOL1	I0 输出低电平驱动 (除 P60-62, P66, P67)	Iol=0.6V	-	18	-	mA
IOL2	I0 输出低电平驱动一级增强 (除 P60-62, P66, P67)	Iol=0.6V	-	30	-	mA
IOL3	I0 输出低电平驱动二级增强 (P60-62, P66, P67)	Iol=0.6V	-	80	90	mA
IOL3	I0 输出低电平驱动三级增强 (P60-62, P66, P67)	Iol=0.6V	-	100	120	mA
IOL4	I0 输出低电平驱动四级增强 (P60-62, P66, P67)	Iol=0.6V	-	120	140	mA
IPH	上拉电流	上拉使能, 输入接地	70	100	150	μA
IPD	下拉电流	下拉使能, 输入接 VDD	40	60	100	μA
Isb1	关机电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用	-	-	1	μA
Isb2	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用	-	-	10	μA



JZ8PE2502D 数据手册

I _{sb3}	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用	-	-	10	μA
I _{op2}	工作电流 1 (VDD=5V)	IRC=8MHz 2clock	-	-	1.2	mA
I _{op2}	工作电流 2 (VDD=5V)	IRC=1MHz 2clock	-	-	0.2	mA
I _{op2}	工作电流 3 (VDD=5V)	IRC=910KHz 2clock	-	-	0.2	mA
LVR	低电压复位电压	选择 LVR 复位点	V _{lvr} -0.1	V _{lvr}	V _{lvr} +0.1	V
LVD	低压检测电压	选择检测点为 V _{lvd}	V _{lvd} -0.1	V _{lvd}	V _{lvd} +0.1	V

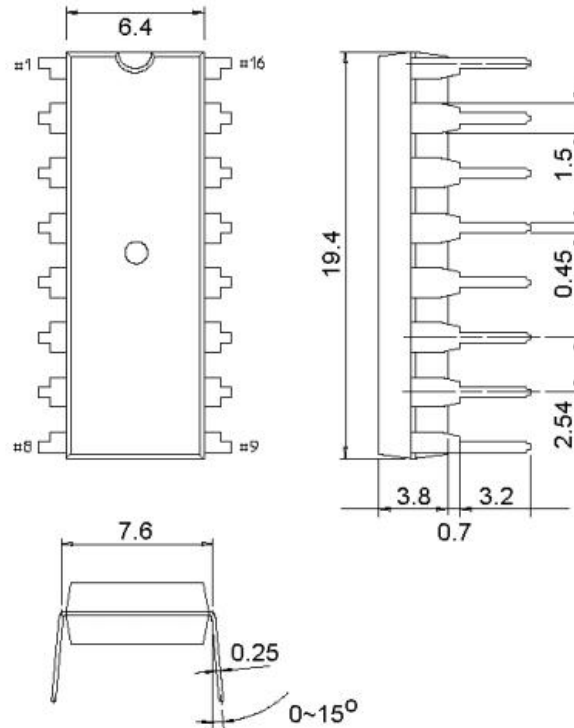
注: 以上参数仅做参考, 请以目标样机实测数据为准。



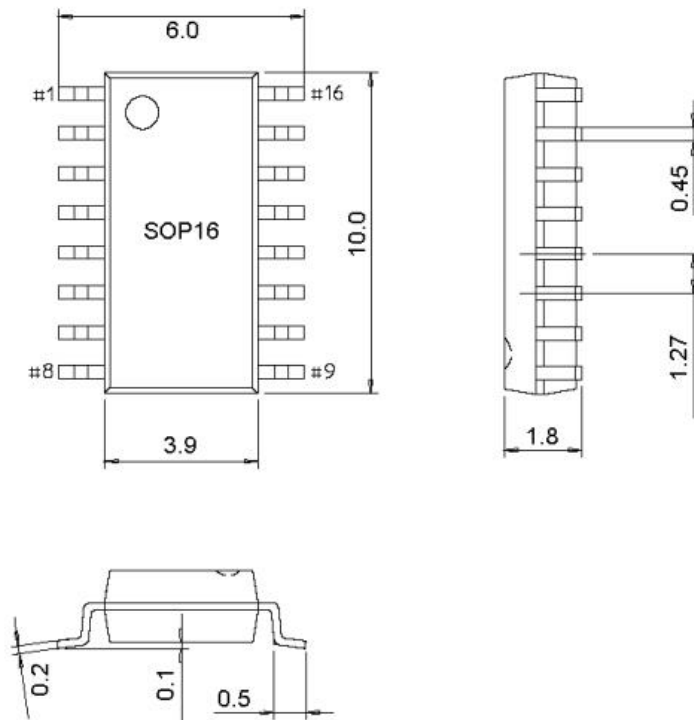
6 封装尺寸信息

6.1 16PIN 封装尺寸

单位: mm



DIP16 封装尺寸

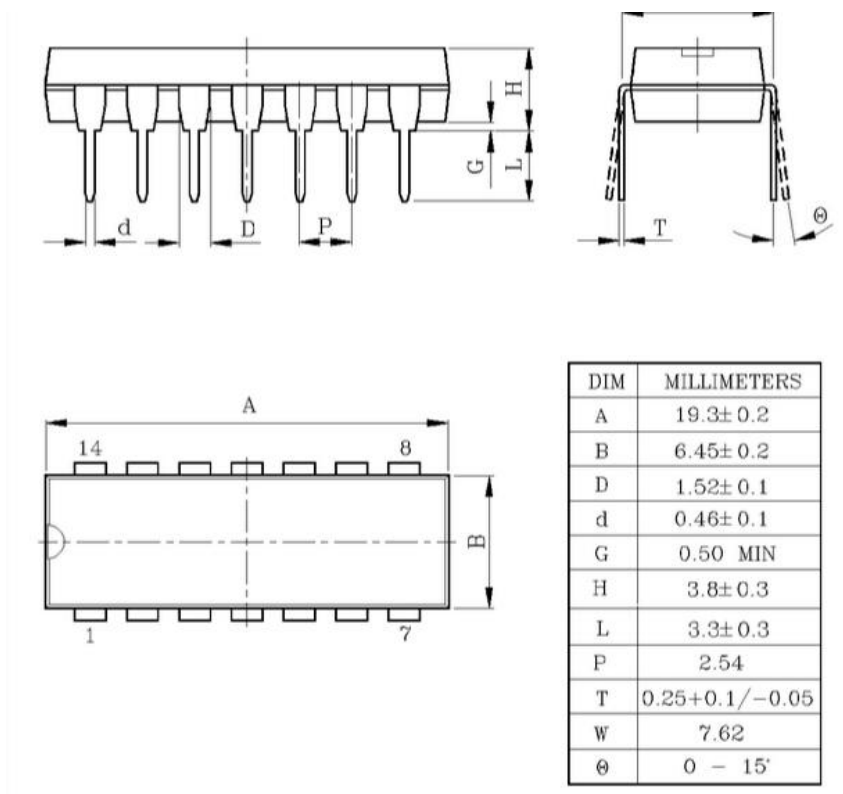


SOP16 封装尺寸

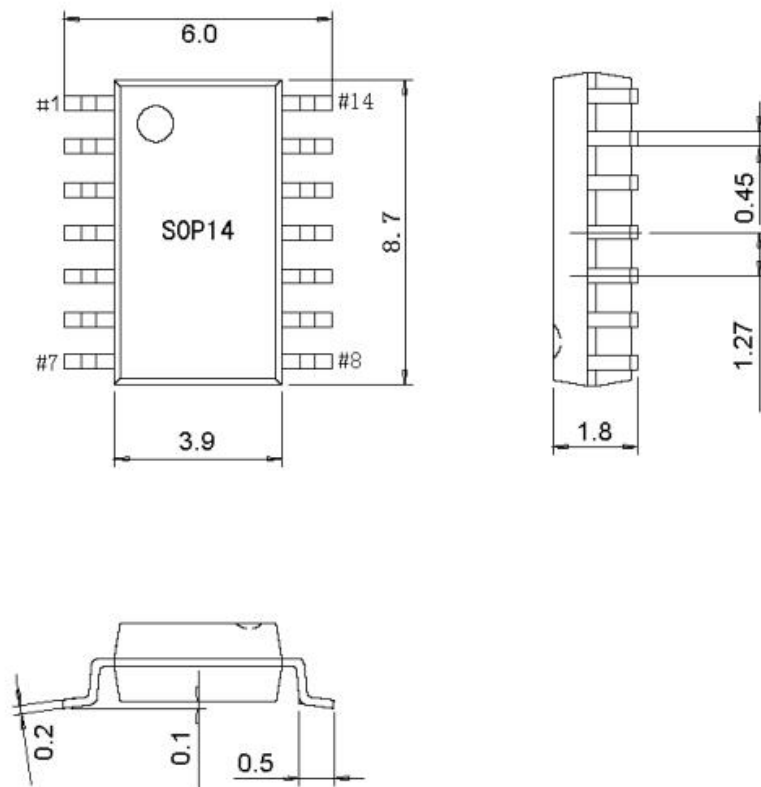


6.2 14PIN 封装尺寸

单位: mm



DIP14 封装尺寸

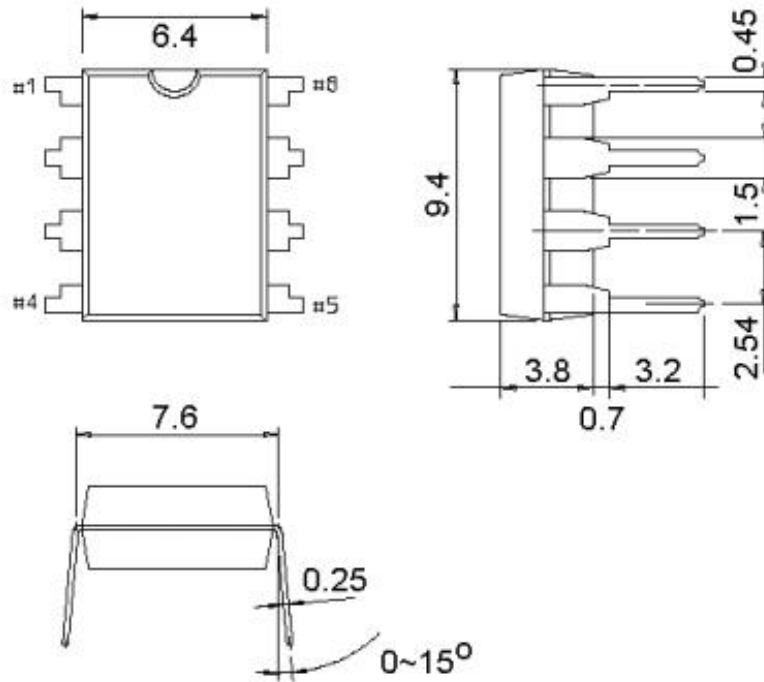


SOP14 封装尺寸

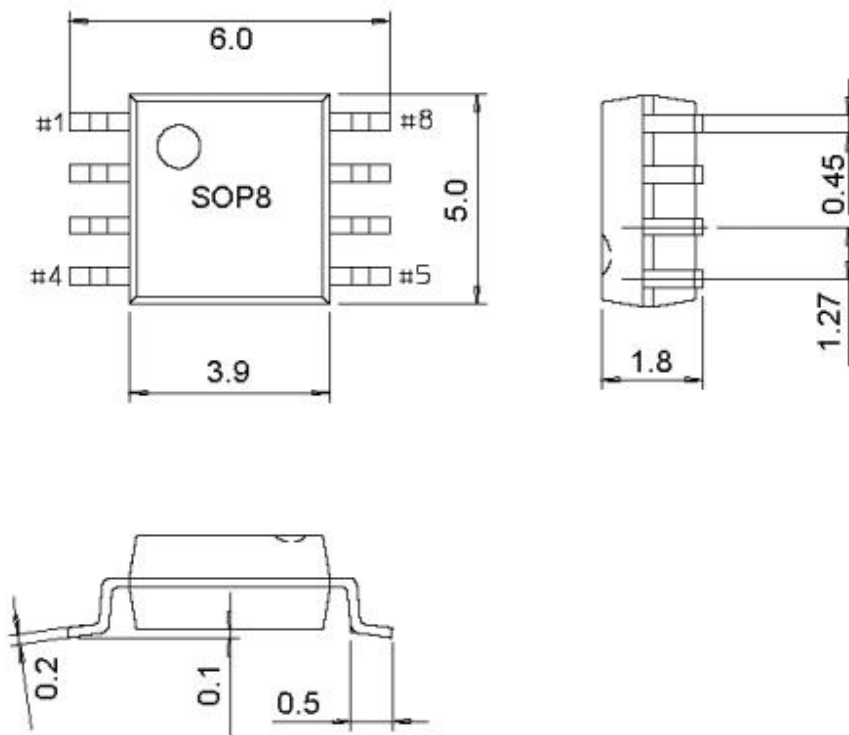


6.3 8PIN 封装尺寸

单位: mm



DIP8 封装尺寸



SOP8 封装尺寸